

目 次

第1章 パルスの伝送と増幅

1.1	パルス波形の諸定義と分類	1
1.2	パルスの伝送	3
1.2.1	フーリエ級数	3
1.2.2	フーリエ変換	4
1.2.3	ラプラス変換	6
1.2.4	伝達関数と出力応答	7
1.2.5	低域通過形線形回路網	9
1.2.6	パルス変成器	14
1.2.7	分布線路によるパルス伝送	15
1.3	パルスの増幅	18
1.3.1	波形ひずみ	18
1.3.2	RC 結合トランジスタ多段増幅器	21
1.3.3	RC 結合トランジスタ増幅器の高域補償	23
1.3.4	FET 分布増幅器	25
	演習問題	27

第2章 パルスの発生

2.1	非安定マルチバイブレータ	29
2.1.1	トランジスタ非安定マルチバイブレータ	29
2.1.2	演算増幅器非安定マルチバイブレータ	33
2.1.3	TTL NAND ゲート非安定マルチバイブレータ	37
2.1.4	CMOS インバータ非安定マルチバイブレータ	40
2.1.5	負性抵抗非安定マルチバイブレータ	42
2.2	単安定マルチバイブレータ	44
2.2.1	トランジスタ単安定マルチバイブレータ	44
2.2.2	演算増幅器単安定マルチバイブレータ	46

2・2・3	TTL 単安定マルチバイブレータ	47
2・2・4	CMOS 単安定マルチバイブレータ	48
2・2・5	負性抵抗単安定マルチバイブレータ	50
2・3	双安定マルチバイブレータ	50
2・3・1	トランジスタフリップフロップ	51
2・3・2	TTL フリップフロップ	53
2・3・3	負性抵抗双安定マルチバイブレータ	54
2・4	ブロッキング発振器	54
2・5	分布線路によるパルス発生	56
	演習問題	57

第3章 波形の変換および操作

3・1	微分回路, 積分回路および時間軸発生回路	59
3・1・1	微分回路	59
3・1・2	積分回路	61
3・1・3	時間軸発生回路	65
3・2	クリッパおよびリミタ	67
3・2・1	クリッパ	67
3・2・2	リミタ	68
3・3	コンパレータおよびシュミットトリガ回路	70
3・3・1	コンパレータ	70
3・3・2	シュミットトリガ回路	73
3・4	伝送ゲート回路および遅延回路	79
3・4・1	伝送ゲート回路	79
3・4・2	遅延回路	81
	演習問題	86

第4章 論理ゲート回路

4・1	R T L	89
4・1・1	D C T L	89
4・1・2	R T L	91
4・1・3	ファンアウト	92
4・1・4	入出力特性	94

4・1・5	能動プルアップ	95
4・2	I ² L	98
4・2・1	DCTL から I ² L への変換	98
4・2・2	I ² L の構造	100
4・3	D T L	102
4・3・1	個別部品 DTL ゲート	102
4・3・2	ファンアウト	104
4・3・3	集積回路 DTL ゲート	105
4・3・4	入出力特性	106
4・4	T T L	108
4・4・1	DTL と TTL の比較	108
4・4・2	入力トランジスタ	109
4・4・3	能動プルアップ	109
4・4・4	入出力特性 (1)	110
4・4・5	入出力特性 (2)	112
4・5	E C L	113
4・5・1	ECL ゲート	113
4・5・2	入出力特性 (1)	115
4・5・3	入出力特性 (2)	117
4・5・4	ファンアウト	118
4・5・5	動作速度	119
	演習問題	120

第5章 デジタルシステム

5・1	フリップフロップ	123
5・1・1	RS フリップフロップ	125
5・1・2	RST フリップフロップ	126
5・1・3	JK フリップフロップ	127
5・1・4	T フリップフロップ	129
5・1・5	D フリップフロップ	130
5・2	カウンタ	131
5・2・1	リプルカウンタ	131
5・2・2	同期式カウンタ	135

5・3 レジスタ	137
5・3・1 並列入力形レジスタ	138
5・3・2 シフトレジスタ	138
5・3・3 リングカウンタ	140
5・3・4 ジョンソンカウンタ	141
5・3・5 シフトカウンタ	142
5・4 加算器および減算器	143
5・4・1 半加算器および半減算器	143
5・4・2 全加算器および全減算器	144
5・4・3 2進加算器および2進減算器	147
5・5 符号器および復号器	150
5・5・1 符号器	150
5・5・2 復号器	155
演習問題	159

第6章 MOS デジタル回路

6・1 スタティック論理回路	161
6・1・1 MOS FET の解析	161
6・1・2 MOS インバータ	162
6・1・3 CMOS インバータ	164
6・1・4 論理回路	165
6・2 ダイナミック論理回路	167
6・2・1 ダイナミックレシオ形回路	167
6・2・2 ダイナミックレシオレス形回路	168
6・3 MOS シフトレジスタ	170
6・3・1 スタティックシフトレジスタ	170
6・3・2 2相ダイナミックシフトレジスタ	171
6・3・3 4相ダイナミックシフトレジスタ	172
6・3・4 CMOS シフトレジスタ	173
6・3・5 シフトレジスタシーケンシャルメモリ	175
6・4 ランダムアクセスメモリ	176
6・4・1 アドレスの方法	176
6・4・2 バイポーラメモリセル	177

6・4・3 MOS スタティックメモリセル	179
6・4・4 MOS ダイナミックメモリセル	179
6・5 リードオンリメモリ	182
6・5・1 リードオンリメモリ	182
6・5・2 MOS メモリマトリクス	183
6・5・3 ROM の応用	185
演習問題	186

第7章 AD 変換器および DA 変換器

7・1 アナログ信号のデジタル化	189
7・2 2進符号	191
7・3 標本化保持回路	193
7・4 DA 変換器	195
7・4・1 はしご形 DA 変換器	195
7・4・2 重み付はしご形 DA 変換器	196
7・4・3 シャンノン・ラック DA 変換器	199
7・5 AD 変換器	200
7・5・1 計数形 AD 変換器	200
7・5・2 帰還比較形 AD 変換器	204
7・5・3 無帰還比較形 AD 変換器	206
7・5・4 符号板による AD 変換	208
演習問題	208

演習問題解答	210
参考文献	221
索引	223