

# 目 次

## I 68000 のハードウェア

1 ま え が き .....	2
1.1 マイクロコンピュータの進歩 .....	2
1.2 68000 の 概 要.....	4
2 68000 のアーキテクチャ .....	6
2.1 アーキテクチャの特徴 .....	6
2.2 プロセッサの内部構造 .....	7
2.3 レジスタの構成 .....	9
2.3.1 データレジスタ (D0~D7) .....	10
2.3.2 アドレスレジスタ (A0~A6), システムスタックポインタ (A7).....	10
2.3.3 プログラムカウンタ (PC).....	12
2.3.4 ステータスレジスタ.....	13
2.4 データの構成 .....	14
2.4.1 メモリ内のデータの構成 .....	14
2.4.2 整数データの表現形式 .....	15
2.5 基本システム構成と動作 .....	17
2.5.1 入出力インターフェースの構成と特徴 .....	17
2.5.2 基本動作サイクル .....	19
2.5.3 命令プリフェッチ機能 .....	19
2.5.4 基本命令シーケンス .....	20

3	インターフェイス信号とバスオペレーション	22	4.2.11	インデックス付プログラムカウンタ相対形式	52
3.1	インターフェイス信号	22	4.2.12	イミディエイト形式	53
3.1.1	アドレスバス, データバス	22	4.2.13	クイックイミディエイト形式	55
3.1.2	非同期バス制御信号	23	4.2.14	インプライド形式	55
3.1.3	バスアービトラーション制御信号	25	5	命令の種類	57
3.1.4	割込み制御信号	25	5.1	データ転送命令	57
3.1.5	システム制御信号	25	5.2	算術演算命令	60
3.1.6	6800周辺LSI制御信号	26	5.3	論理演算命令	62
3.1.7	プロセッサステータス	28	5.4	2進化10進数演算命令	62
3.1.8	クロック (CLK)	28	5.5	桁移動操作命令	63
3.1.9	信号のまとめ	28	5.6	ビット操作命令	64
3.2	バスオペレーション	28	5.7	プログラム制御命令	65
3.2.1	データ転送オペレーション	28	5.8	システム制御命令	67
3.2.2	バスアービトラーション	35	6	フラグと算術論理	70
3.2.3	バスエラーおよびホールドオペレーション	38	6.1	命令実行とフラグの設定	70
3.2.4	リセットオペレーション	41	6.2	各フラグの説明	71
4	命令の形式とアドレス形式	43	6.2.1	Nフラグ	71
4.1	命令の形式	43	6.2.2	Zフラグ	73
4.2	アドレス形式	44	6.2.3	Vフラグ	74
4.2.1	データレジスタ直接形式	45	6.2.4	Cフラグ	76
4.2.2	アドレスレジスタ直接形式	45	6.2.5	Xフラグ	77
4.2.3	アドレスレジスタ間接形式	46	7	命令実行時間	78
4.2.4	ポストインクリメントアドレスレジスタ間接形式	46	7.1	命令実行時間の内訳	78
4.2.5	プリデクリメントアドレスレジスタ間接形式	47	7.2	実効アドレス生成時間	79
4.2.6	ディスプレイメント付アドレスレジスタ間接形式	48	7.3	オペレーション実行処理時間	80
4.2.7	インデックス付アドレスレジスタ間接形式	49	7.3.1	データ転送命令実行時間 (実効アドレス計算処理時間を含む)	80
4.2.8	短絶対アドレス形式	50	7.3.2	標準命令実行時間	82
4.2.9	長絶対アドレス形式	51	7.3.3	イミディエイト命令実行時間	83
4.2.10	ディスプレイメント付プログラムカウンタ相対形式	52			

7.3.4	シングルオペランド命令実行時間	84
7.3.5	シフト/ローテート命令実行時間	84
7.3.6	ビット操作命令実行時間	86
7.3.7	ブランチ関係命令実行時間	86
7.3.8	ジャンプ関係命令実行時間	88
7.3.9	実効アドレス生成関係命令実行時間	88
7.3.10	マルチレジスタ関係命令実行時間	88
7.3.11	倍精度演算命令実行時間	90
7.3.12	その他の命令実行時間	90
7.3.13	例外処理時間	91
8	例外処理	92
8.1	プロセッサ処理状態	92
8.2	プログラム実行状態	93
8.3	例外処理	95
9	周辺デバイスとのインターフェイス	110
9.1	最小システム構成	111
9.2	ROMおよびスタティックRAMとのインターフェイス	113
9.3	ダイナミックRAMとのインターフェイス	114
9.4	割込みベクタ発生回路	115
9.5	6800周辺LSIとのインターフェイス	116
10	68000ファミリ周辺LSI	120
10.1	68450DMAC (Direct Memory Access Controller)	120
10.1.1	68450DMACの特徴	120
10.1.2	信号線とバスサイクル	121
10.1.3	転送プロトコル	124
10.1.4	68450DMACを使用したシステム構成例	126
10.2	68451MMU (Memory Management Unit)	127
10.2.1	68451MMUの特徴	127

10.2.2	信号線とアドレス変換のバスサイクル	128
10.2.3	アドレス変換	130
10.3	68120IPC (Intelligent Peripheral Controller)	132
10.4	68230PI/T (Parallel Interface/Timer)	135

## II 68000のソフトウェア

11	アセンブラ	138
11.1	ソースプログラムの構造	139
11.2	アセンブラの書式	139
11.2.1	ラベルフィールド	139
11.2.2	演算フィールド	140
11.2.3	オペランドフィールド	141
11.2.4	コメントフィールド	141
11.3	データ形式	141
11.3.1	数値定数	141
11.3.2	文字定数	142
11.3.3	記号	142
11.3.4	式	143
11.4	実効アドレスとアドレス形式	144
11.4.1	データレジスタ直接形式	145
11.4.2	アドレスレジスタ直接形式	145
11.4.3	アドレスレジスタ間接形式	145
11.4.4	ポストインクリメントアドレスレジスタ間接形式	145
11.4.5	プリデクリメントアドレスレジスタ間接形式	146
11.4.6	ディスプレースメント付アドレスレジスタ間接形式	146
11.4.7	インデックス付アドレスレジスタ間接形式	146
11.4.8	絶対アドレス形式	147
11.4.9	ディスプレースメント付プログラムカウンタ相対形式	147
11.4.10	インデックス付プログラムカウンタ相対形式	147
11.4.11	イミディエイトデータ形式	148
11.4.12	CCR/SR形式	148

11.5	アセンブラ制御命令	148	14.4	ビット操作命令	192
11.6	リロケートブルなプログラミング	150	15	プログラム制御命令	195
12	データ転送命令	152	15.1	分岐命令	195
12.1	データ転送命令	152	15.2	サブルーチン操作命令	198
12.2	データ転送命令の応用例	161	15.3	引数の受渡し方法	200
12.2.1	単純なデータ転送	161	15.3.1	値呼び	200
12.2.2	ブロック転送	161	15.3.2	番地呼び	202
12.2.3	プログラムスタック	162	15.3.3	アドレスレジスタをポインタとして渡す方法	203
12.2.4	キュー (QUEUE)	164	15.4	LINK/UNLK 命令	204
13	算術論理演算命令	166	15.5	条件セット命令	207
13.1	算術演算命令	166	16	システム制御命令	208
13.1.1	加算命令	166	16.1	トラップ発生命令	208
13.1.2	減算命令	168	16.2	コンディションコード操作命令	210
13.1.3	補数命令	169	16.3	その他の命令	212
13.1.4	多倍精度演算命令	169	17	特権命令	215
13.1.5	クリア命令	171	18	例外処理後のシステムプログラム	220
13.1.6	符号拡張命令	171	18.1	リセット例外処理後のシステムプログラム	220
13.1.7	テスト命令	172	18.2	割込み例外処理後のシステムプログラム	221
13.1.8	比較命令	172	18.3	トラップ例外処理後のシステムプログラム	222
13.1.9	乗算命令	173	18.4	不当命令および未実装命令例外処理後のシステムプログラム	222
13.1.10	除算命令	176	18.5	特権違反例外処理後のシステムプログラム	222
13.2	論理演算命令	178	18.6	トレース例外処理後のシステムプログラム	223
13.3	2進化10進数演算命令	180	18.7	バスエラー例外処理後のシステムプログラム	223
13.4	テストアンドセット命令	182	18.8	アドレスエラー例外処理後のシステムプログラム	223
14	桁移動, ビット操作命令	184	19	プログラム例	225
14.1	論理形桁移動 (論理シフト) 命令	184	19.1	2進化10進数の真数変換	225
14.2	算術形桁移動 (算術シフト) 命令	187	19.2	1の個数の数え上げ	226
14.3	循環形桁送り (ローテート) 命令	190			

19.3	文字列の一致判定	227
19.4	ASCII から 2 進数への変換	228
19.5	パリティの生成	229

### Ⅲ 68000 のサポート システム

20	68000 マイクロコンピュータ システム	232
20.1	H 680 SBC	232
20.2	H 680 TR 01	235
21	68000 マイクロコンピュータ開発支援装置	238
21.1	H 680 SD 300 のハードウェアの概要	238
21.1.1	システム構成	238
21.1.2	システムの機能概要	239
21.1.3	システムの拡張性	241
21.2	ソフトウェア構成	241
21.3	HD 680 SD 300 の使い方	243
21.3.1	入出力機器の指定	243
21.3.2	システムの動作モード	244
21.3.3	ソフトウェアの開発手順	244
22	サポートソフトウェア	247
22.1	FDOS (Floppy Disk Operating System)	248
22.2	EMS (Executive Monitor System)	250
22.3	CRT エディタ	250
22.4	リンケージエディタ	251
22.5	マクロアセンブラ	252
22.6	FORTTRAN	252
22.7	PASCAL	253
22.8	スーパー PL/H	254
付	録	257
索	引	267