

Verilog HDL&VHDL

テストベンチ 記述の初歩

CONTENTS

まえがき	2
------	---

第1部 テストベンチの基本

第1章 検証の重要性とテストベンチ	9
1.1 検証で用いるテストベンチとは	9
1.2 検証方法の考え方	11
第2章 組み合わせ回路のためのテストベンチ	13
2.1 検証環境を置く箱を作る	13
2.2 箱に検証対象の回路を置く	16
2.3 箱の中で入力波形を作る	19
2.4 信号を検証対象の回路のポートにつなげる	22
2.5 シミュレータによる検証の実施	24
第3章 順序回路のためのテストベンチ	25
3.1 クロックを含むテストベンチの注意点	25
コラム 幅のある信号の表記	28
3.2 検証仕様とテスト入力の記述	29
コラム リセット前のフリップフロップの値	32
コラム クロックの記述	33
3.3 検証結果の確認	36
コラム 検証仕様の洗い出し	36
コラム 丸め精度について	38

第2部 テストベンチの文法

第4章 遅延の記述方法	39
4.1 相対遅延と絶対遅延	39

4.2 ソフトウェア風にテスト入力を記述する	43
コラム 遅延の書き忘れによるミス	47
コラム ループ変数の重複によるミス	48
4.3 オーバフロー対策付き加算回路の検証	50

第5章 標準出力の記述方法 55

5.1 標準出力の書き方	55
5.2 テストベンチへの適用	59
5.3 標準出力を使ったテストベンチの実際	60
コラム `timescale	61
コラム 観察方法におけるバグの例	65
コラム テストベンチのデバッグの小技	67

第6章 ファイル入出力の記述方法 69

6.1 ファイルによる検証結果の確認の方法	69
コラム \$fdisplay以外のファイル出力の文法	72
コラム \$fopenと\$fclose使用上の注意	73
6.2 パターン・ファイルによるテスト入力の生成	76
コラム 不具合は人間の想定の外にある	84

第7章 タスク/プロシージャの記述方法 85

7.1 テストベンチの構造化	85
7.2 構造化の実例	89
7.3 構造化の利点	91
7.4 クロック・エッジ・ベースのタイミング制御	93
7.5 タスク/プロシージャの文法上の注意	97
7.6 タスク/プロシージャによるバス動作の記述	99
コラム タスクの限界	101
コラム タスク/プロシージャとファンクションの違い	103

第8章 階層化の記述方法 105

8.1 RAMのシミュレーション・モデル	105
コラム RAMのシミュレーション・モデルは合成しない	110
8.2 テストベンチの階層化	113
コラム ModelSimによるライブラリの指定法	116
8.3 上位階層からの定数の引き渡し	119

第9章	期待値比較の記述方法	123
9.1	期待値の比較を自動化する	123
	コラム 等号演算子	126
	コラム プロシージャreadとhreadの差	128
	コラム assert文の本来の使い方	129
9.2	比較の待機と期待値自動生成	130
	コラム function文の戻り値	134
9.3	期待値比較の欠点	135
	コラム テスト入力を選択	136
	コラム アサーション	138
	コラム force文とrelease文	139
	コラム 部分ビットの接続	140

第3部 検証のテクニック

第10章	テスト・パターンの検討	141
10.1	画像処理回路の検証を考える	141
10.2	テスト内容を洗い出す	143
10.3	テスト・パターン表の作成	146
10.4	テストの順序と検証方法	149
	コラム パターンが多ければテストが早く終わる	149
10.5	テストベンチのコーディング	152
10.6	デバッグの進め方の基本	155
第11章	ランダム検証	163
11.1	ランダム検証のための基礎知識	163
11.2	ランダム値生成関数の記述	165
	コラム 階層アクセス	178
11.3	レポートとその分析	179
第12章	作業効率の向上	185
12.1	グループ検証とRTLコードのバージョン管理	185
12.2	作業効率の上げ方	191
12.3	パラメータ・ファイルの自動生成	192
12.4	テスト・パターンの自動実行	197
	コラム VHDLにおけるコンパイル記述の切り替え	200

第13章	コード・カバレッジ	201
13.1	検証漏れのないフロー	201
13.2	コード・カバレッジの活用	202
13.3	コード・カバレッジの注意	203
第14章	非同期検証	205
14.1	ゲート・レベルのシミュレーション	205
14.2	非同期対策	206
14.3	ジッタ対策	207
第15章	応用的検証	211
15.1	タスク/プロシージャの応用	211
15.2	シミュレーション以外の検証方法	214
Appendix A	テストベンチ記述のためのVerilog HDL文法リファレンス	219
A.1	テストベンチの基本文法	219
A.2	遅延/タイミング制御にかかわる文法	221
A.3	条件制御にかかわる文法	221
A.4	標準出力にかかわる文法	223
A.5	ファイル操作にかかわる文法	224
A.6	設計資産の再利用にかかわる文法	226
A.7	そのほかの文法	228
Appendix B	テストベンチ記述のためのVHDL文法リファレンス	229
B.1	テストベンチの基本文法	229
B.2	遅延/タイミング制御にかかわる文法	231
B.3	条件制御にかかわる文法	232
B.4	標準出力/ファイル制御にかかわる文法	233
B.5	設計資産の再利用にかかわる文法	234
B.6	そのほかの文法	237
索引		238

本書は、Design Wave Magazine 2007年5月号～2009年3/4月号で連載された「初歩からのHDLテストベンチ」の記事をもとに、加筆・再編集したものです。