

まえがき	3
------	---

## 第1章 Verilog HDLの基本文法 11

1.1 識別子と予約語	11
● 識別子	11
● 予約語	14
1.2 論理値と数値の表現	15
● 論理値の表現と扱い	15
● 数値表現	15
1.3 データ型と信号の定義	16
● wire宣言する信号	16
● reg宣言する信号	17
1.4 演算子	18
● 算術演算子	20
● 関係演算子と等号/不等号演算子	20
● 論理演算子	20
● ビット演算子	20
● シフト演算子	20
● リダクション演算子	21
● 連結演算子	21
● 条件演算子	21
1.5 書式とコメント	22
● 書式	22
● コメント	22
1.6 モジュールの基礎	23
● モジュール定義の骨格	23
● 4ビット加算回路の記述例	25
【コラム1.A】ハードウェア記述言語による論理回路設計	12

## 第2章 組み合わせ回路の記述 26

2.1 組み合わせ回路とは	26
2.2 組み合わせ回路の基本	27
● 4ビットの加算回路のVerilog HDLによる記述	27
● 組み合わせ回路機能の定義…assign文	29
● 組み合わせ回路の記述例	29
2.3 組み合わせ回路のファンクション化	31
● ファンクションとは	31
● ファンクションによる7セグメントLEDデコーダ	35

● ファンクションの使用上の注意	37
2.4 if文, case文, ループ制御文	39
● if文の記述のしかた	39
● case文の記述のしかた	41
● casex文	42
● ループ制御(推奨しません)	45
2.5 組み合わせ回路の具体例	48
● バレル・ローテータの記述例	48
● ALU(アリスメティック・ロジック・ユニット)	52
● 3ステート・バッファの記述	52

## 第3章 フリップフロップと応用回路の記述 56

3.1 フリップフロップ…記憶機能の記述	56
● フリップフロップとは	56
● always @()構文による記憶機能の記述	57
● イベント式で動作の起点を指定する	60
3.2 レジスタの記述	61
● エッジ・トリガ型レジスタ	61
● 同期リセット付きエッジ・トリガ型レジスタ	61
● 非同期リセット付きエッジ・トリガ型レジスタ	64
● 非同期リセット/書き込みイネーブル付きエッジ・トリガ型レジスタ	65
● レベル・トリガ型レジスタ(レベル・センシティブ・ラッチ)	65
● 非同期リセット/非同期プリセット付きエッジ・トリガ型レジスタ	66
3.3 カウンタの記述	67
● カウンタ=レジスタ+インクリメント回路	67
● カウント・イネーブル付き同期式カウンタ	69
● ローダブル同期式カウンタ	72
● 同期式アップ/ダウン・カウンタ(10進1桁)	73
3.4 メモリの記述	75
3.5 always @()構文の基本スタイルのまとめ	77
● always @()構文の基本型	77
● 論理合成できないalways @()構文	77
● always @()が組み合わせ回路になってしまう例	77
● 組み合わせ回路にはalways @*を使う	78
● プロッキング代入とノン・プロッキング代入	80
● シミュレーションに見るプロッキング代入	80
● ノン・プロッキング代入では	83
● どちらがよいか…シフトレジスタによる比較	84
● 代入式の右辺のファンクション化	87
【コラム3.B】各種フリップフロップと動作タイプ	58
【コラム3.C】信号の型と動作の違い	81
【コラム3.D】begin~endとfork~join	84

## 第4章 同期式順序回路の記述 88

4.1 順序回路とは	88
4.2 順序回路…ステート・マシン/シーケンサの基本	91

● ミーリ・タイプとムア・タイプ	91
● Verilog HDL の記述から合成される回路をイメージしよう	93
<b>4.3 種々の順序回路の実装方法と Verilog HDL による記述</b>	<b>94</b>
● シリアル・データ入力型可変長符号デコーダの仕様	94
● 1状態1フリップフロップ法…個別フリップフロップ実装タイプ	96
● 1状態1フリップフロップ法…レジスタ実装タイプ	100
● レジスタ・デコーダ法	101
<b>4.4 拡張シーケンサ記述</b>	<b>104</b>
● 拡張シーケンサ記述とは	104
● 乗算のアルゴリズム	107
● 乗算アルゴリズムの基本部分の記述	108
● 乗算回路の外部インターフェースの記述	110
● 動作タイミングの検討	111
【コラム4.E】ステート・マシン/シーケンサって何？	92
<b>第5章 Verilog HDLで複雑なシステムを表記する方法</b>	<b>114</b>
<b>5.1 モジュールによる複雑なシステムの表記</b>	<b>114</b>
● 別モジュールの組み込み…インスタンス化	114
● モジュール間の信号接続の定義	115
● モジュール間インターフェース信号の型	117
● モジュール内で定義した信号の有効範囲(スコープ・ルール)	118
<b>5.2 コンパイラ指示子とパラメータ宣言を有効に使う</b>	<b>119</b>
● C言語に類似したコンパイラ指示子…“”を使う	119
● 定数を定義する…`define文	120
● 共通情報のファイル化…`include文	120
● 複数のターゲットに対応させるとき…`ifdef, `else, `endif文	121
● 可変部分をパラメータ化して記述量を減らす	122
<b>5.3 ささまざまな記述のパリエーションとテクニック</b>	<b>123</b>
● ポート属性と信号属性の結合定義	123
● ANSI C形式のポート・リストの定義	125
● デフォルトのネット宣言	126
● 複雑な信号の定義と取り扱い方	126
● generate文によるVerilog HDLコードの自動生成	128
● インスタンスの配列宣言	131
● ROMの記述と初期化	132
<b>5.4 タスク</b>	<b>135</b>
● タスクとは	135
● タスクの記述方法	136
● 順序回路記述のタスク化…交通信号制御	136
<b>第6章 Verilog HDLとシミュレーション</b>	<b>141</b>
<b>6.1 シミュレーションとは</b>	<b>141</b>
<b>6.2 シミュレーションの準備</b>	<b>142</b>
● Verilogシミュレータ	142
● テスト・ベンチとは	142
● テスト・ベンチの構成と骨格	143

<b>6.3 テスト・ベンチの作成例</b>	<b>145</b>
● テスト・ベンチのモジュール宣言と作成例	145
● 被テスト・モジュールのインスタンス化	146
● シミュレーションのスタートと終了	147
● 観測する信号の指定	147
● 被テスト・モジュールへの信号供給	148
● モジュール内の信号の観測	149
● adder4のシミュレーション結果	149
● always文によるクロック信号の自動発振	150
● 自動発振クロックとの同期の取り方	151
● その他のシステム・タスク	152
● シミュレーション結果の保存とファイル操作	154
<b>6.4 シミュレーションの実際</b>	<b>155</b>
● 7セグメントLEDデコーダのシミュレーション	155
● 加算回路と7セグメントLEDデコーダの結合とシミュレーション	158
● カウンタのシミュレーション	158
● 可変長符号デコーダのシミュレーション	165
● 乗算回路のシミュレーション	172

## 第7章 論理合成・配置配線とCPLD実装テスト 178

<b>7.1 CPLD論理回路実習システムの構成</b>	<b>178</b>
● CPLD論理回路実習システムの概要	178
● XILINX社のXC9500ファミリ	182
<b>7.2 トップ・モジュールを用意する</b>	<b>184</b>
● トップ・モジュールとコア・モジュールの関係	185
● トップ・モジュールのVerilog HDLによる記述	185
<b>7.3 記述例の論理合成・配置配線・実装テスト</b>	<b>188</b>
● 加算回路の実装テスト	188
● 7セグメントLEDデコーダの実装テスト	191
● ローダブル・カウンタの実装テスト	191
● 7セグメントLEDデコーダ付き10進2桁アップ/ダウン・カウンタ	192
● 可変長符号デコーダの実装テスト(1)…ミーリ・タイプ	194
● 可変長符号デコーダの実装テスト(2)…文字表示デコーダ付きムア・タイプ	195
● 乗算回路の実装テスト	195

## 第8章 Verilog HDLによる記述の注意点とノウハウ 198

<b>8.1 シミュレーションと論理合成のための記述スタイル</b>	<b>198</b>
● Verilog HDLによる記述全般の注意点	198
● 組み合わせ回路の記述…ビット幅の異なる信号の演算	200
● 組み合わせ回路におけるその他の注意点	201
● 順序回路の記述	202
● 複数のalways @()構文によるreg型信号への代入	203
● マルチ・ビットのレジスタへの信号値の設定	205
● #は使用しない	208
<b>8.2 FPGA/CPLDに対応したVerilog HDLの記述</b>	<b>208</b>
● FPGA/CPLDの端子部の構成	208
● 内部構造にマッチしないVerilog HDLの記述	209

**8.3 Verilog HDL の記述と論理合成・配置配線の結果 .....210**

- シーケンサの記述スタイルと論理合成結果 .....210
- レジスタALUのVerilog HDLによる記述と論理合成の結果 .....212

**第9章 本格的な応用回路の記述と実装 .....218**

**9.1 スロット・マシン・ゲーム .....218**

- スロット・マシン・ゲームの仕様 .....218
- システム構成の検討 .....219
- モジュール設計とVerilog HDL 記述 .....221
- テスト・ベンチとシミュレーション .....229
- 論理合成, 配置配線, コンフィギュレーション, 実装テスト .....232

**9.2 ステッピング・モータの制御 .....232**

- ステッピング・モータ制御の仕様 .....232
- 二つのalways文による並列動作の記述 .....233
- 励磁パターン制御部 .....234
- スピード制御部 .....235
- 励磁パターン制御部とスピード制御部を一つのモジュールで記述 .....236
- 二つのalways文を別モジュールに分割 .....238
- テスト・ベンチとシミュレーション .....238
- 実装テスト .....238
- ソフトウェア制御との比較 .....242

**9.3 赤外線通信 .....244**

- 赤外線通信のデータ・フォーマット .....244
- 赤外線発光と受光モジュール .....245
- 赤外線送信部の仕様 .....245
- 赤外線送信部のモジュール構成 .....246
- 赤外線受信部の仕様 .....249
- 赤外線受信部のモジュール構成 .....250

**9.4 TVゲーム——セルフ・スカッシュ .....258**

- テレビの原理 .....259
- 基本クロックと同期信号の発生 .....262
- ゲーム・エリアと表示要素の関係 .....266
- ゲーム・コア部(squash)のVerilog HDLによる記述 .....266
- TVゲームのトップ・モジュール .....273
- 論理合成と配置配線 .....273
- ゲーム機能の拡張 .....274

**参考・関連文献 .....276**

**索引 .....277**