

まえがき3

第1章 Verilog HDLの基本文法11

1.1 識別子と予約語11
1.2 論理値と数値の表現15
1.3 データ型と信号の定義16
1.4 演算子18
1.5 書式とコメント22
1.6 モジュールの基礎23
[コラム1.A] ハードウェア記述言語による論理回路設計12

第2章 組み合わせ回路の記述26

2.1 組み合わせ回路とは26
2.2 組み合わせ回路の基本27
2.3 組み合わせ回路のファンクション化31

● ファンクションの使用上の注意37
2.4 if文, case文, ループ制御文39
2.5 組み合わせ回路の具体例48

第3章 フリップフロップと応用回路の記述56

3.1 フリップフロップ...記憶機能の記述56
3.2 レジスタの記述61
3.3 カウンタの記述67
3.4 メモリの記述75
3.5 always @()構文の基本スタイルのまとめ77
[コラム3.B] 各種フリップフロップと動作タイプ58
[コラム3.C] 信号の型と動作の違い81
[コラム3.D] begin~endとfork~join84

第4章 同期式順序回路の記述88

4.1 順序回路とは88
4.2 順序回路...状態・マシン/シーケンサの基本91

● ミーリ・タイプとムーア・タイプ	91
● Verilog HDL の記述から合成される回路をイメージしよう	93
4.3 種々の順序回路の実装方法と Verilog HDL による記述	94
● シリアル・データ入力型可変長符号デコーダの仕様	94
● 1状態1フリップフロップ法…個別フリップフロップ実装タイプ	96
● 1状態1フリップフロップ法…レジスタ実装タイプ	100
● レジスタ・デコーダ法	101
4.4 拡張シーケンサ記述	104
● 拡張シーケンサ記述とは	104
● 乗算のアルゴリズム	107
● 乗算アルゴリズムの基本部分の記述	108
● 乗算回路の外部インターフェースの記述	110
● 動作タイミングの検討	111
【コラム4.E】ステート・マシン/シーケンサって何？	92
第5章 Verilog HDLで複雑なシステムを表記する方法	114
5.1 モジュールによる複雑なシステムの表記	114
● 別モジュールの組み込み…インスタンス化	114
● モジュール間の信号接続の定義	115
● モジュール間インターフェース信号の型	117
● モジュール内で定義した信号の有効範囲(スコープ・ルール)	118
5.2 コンパイラ指示子とパラメータ宣言を有効に使う	119
● C言語に類似したコンパイラ指示子…“”を使う	119
● 定数を定義する…`define文	120
● 共通情報のファイル化…`include文	120
● 複数のターゲットに対応させるとき…`ifdef, `else, `endif文	121
● 可変部分をパラメータ化して記述量を減らす	122
5.3 さまざまな記述のパリエーションとテクニック	123
● ポート属性と信号属性の結合定義	123
● ANSI C形式のポート・リストの定義	125
● デフォルトのネット宣言	126
● 複雑な信号の定義と取り扱い方	126
● generate文によるVerilog HDLコードの自動生成	128
● インスタンスの配列宣言	131
● ROMの記述と初期化	132
5.4 タスク	135
● タスクとは	135
● タスクの記述方法	136
● 順序回路記述のタスク化…交通信号制御	136
第6章 Verilog HDLとシミュレーション	141
6.1 シミュレーションとは	141
6.2 シミュレーションの準備	142
● Verilogシミュレータ	142
● テスト・ベンチとは	142
● テスト・ベンチの構成と骨格	143

6.3 テスト・ベンチの作成例	145
● テスト・ベンチのモジュール宣言と作成例	145
● 被テスト・モジュールのインスタンス化	146
● シミュレーションのスタートと終了	147
● 観測する信号の指定	147
● 被テスト・モジュールへの信号供給	148
● モジュール内の信号の観測	149
● adder4のシミュレーション結果	149
● always文によるクロック信号の自動発振	150
● 自動発振クロックとの同期の取り方	151
● その他のシステム・タスク	152
● シミュレーション結果の保存とファイル操作	154
6.4 シミュレーションの実際	155
● 7セグメントLEDデコーダのシミュレーション	155
● 加算回路と7セグメントLEDデコーダの結合とシミュレーション	158
● カウンタのシミュレーション	158
● 可変長符号デコーダのシミュレーション	165
● 乗算回路のシミュレーション	172

第7章 論理合成・配置配線とCPLD実装テスト 178

7.1 CPLD論理回路実習システムの構成	178
● CPLD論理回路実習システムの概要	178
● XILINX社のXC9500ファミリ	182
7.2 トップ・モジュールを用意する	184
● トップ・モジュールとコア・モジュールの関係	185
● トップ・モジュールのVerilog HDLによる記述	185
7.3 記述例の論理合成・配置配線・実装テスト	188
● 加算回路の実装テスト	188
● 7セグメントLEDデコーダの実装テスト	191
● ローダブル・カウンタの実装テスト	191
● 7セグメントLEDデコーダ付き10進2桁アップ/ダウン・カウンタ	192
● 可変長符号デコーダの実装テスト(1)…ミーリ・タイプ	194
● 可変長符号デコーダの実装テスト(2)…文字表示デコーダ付きムーア・タイプ	195
● 乗算回路の実装テスト	195

第8章 Verilog HDLによる記述の注意点とノウハウ 198

8.1 シミュレーションと論理合成のための記述スタイル	198
● Verilog HDLによる記述全般の注意点	198
● 組み合わせ回路の記述…ビット幅の異なる信号の演算	200
● 組み合わせ回路におけるその他の注意点	201
● 順序回路の記述	202
● 複数のalways @()構文によるreg型信号への代入	203
● マルチ・ビットのレジスタへの信号値の設定	205
● #は使用しない	208
8.2 FPGA/CPLDに対応したVerilog HDLの記述	208
● FPGA/CPLDの端子部の構成	208
● 内部構造にマッチしないVerilog HDLの記述	209

8.3 Verilog HDL の記述と論理合成・配置配線の結果210

- シーケンサの記述スタイルと論理合成結果210
- レジスタALUのVerilog HDLによる記述と論理合成の結果212

第9章 本格的な応用回路の記述と実装218

9.1 スロット・マシン・ゲーム218

- スロット・マシン・ゲームの仕様218
- システム構成の検討219
- モジュール設計とVerilog HDL 記述221
- テスト・ベンチとシミュレーション229
- 論理合成, 配置配線, コンフィギュレーション, 実装テスト232

9.2 ステッピング・モータの制御232

- ステッピング・モータ制御の仕様232
- 二つのalways文による並列動作の記述233
- 励磁パターン制御部234
- スピード制御部235
- 励磁パターン制御部とスピード制御部を一つのモジュールで記述236
- 二つのalways文を別モジュールに分割238
- テスト・ベンチとシミュレーション238
- 実装テスト238
- ソフトウェア制御との比較242

9.3 赤外線通信244

- 赤外線通信のデータ・フォーマット244
- 赤外線発光と受光モジュール245
- 赤外線送信部の仕様245
- 赤外線送信部のモジュール構成246
- 赤外線受信部の仕様249
- 赤外線受信部のモジュール構成250

9.4 TVゲーム——セルフ・スカッシュ258

- テレビの原理259
- 基本クロックと同期信号の発生262
- ゲーム・エリアと表示要素の関係266
- ゲーム・コア部(squash)のVerilog HDLによる記述266
- TVゲームのトップ・モジュール273
- 論理合成と配置配線273
- ゲーム機能の拡張274

参考・関連文献276

索引277