

## 第1章 デジタル情報

<b>1.1 アナログとデジタル</b>	14
<b>1.2 2進数</b>	17
1.2.1 2進法における数値の表現	17
1.2.2 2進→10進変換	19
1.2.3 10進→2進変換	19
<b>1.3 2進数の演算</b>	21
1.3.1 加算	21
1.3.2 減算	23
1.3.3 補数による演算	25
1.3.4 乗算	31
1.3.5 除算	32
<b>1.4 8進数と16進数</b>	34
1.4.1 16進, 8進→10進変換	34
1.4.2 10進→16進, 8進変換	35
1.4.3 2進, 8進, 16進の相互の変換	37
<b>1.5 BCDコード</b>	38
<b>1.6 誤りの検出</b>	39
<b>1.7 Q&amp;A</b>	45
<b>1.8 演習問題</b>	47

## 第2章 論理代数

<b>2.1 基本論理演算</b>	52
2.1.1 論理と命題	52
2.1.2 ブール代数	52
2.1.3 複合命題と論理演算	53
2.1.4 論理積 (AND)	53
2.1.5 論理和 (OR)	53
2.1.6 論理否定 (NOT)	54
<b>2.2 基本法則と定理</b>	55
2.2.1 ベン図	55
2.2.2 ブール代数の基本法則	57
2.2.3 ド・モルガンの定理	60
<b>2.3 論理式を求める</b>	61
2.3.1 真理値と真理値表	61
2.3.2 加法標準形	64
2.3.3 乗法標準形	65
<b>2.4 論理式の簡単化</b>	66
2.4.1 基本法則による簡単化	66
2.4.2 カルノー図による簡単化	67
2.4.3 クワイン・マクラスキー法による簡単化	76
<b>2.5 Q&amp;A</b>	80
<b>2.6 演習問題</b>	84

## 第3章 論理回路

<b>3.1 基本論理回路</b>	90
3.1.1 AND回路	90
3.1.2 OR回路	91
3.1.3 NOT回路	91
3.1.4 NAND回路	92
3.1.5 NOR回路	92
3.1.6 バッファ回路	93
<b>3.2 回路構成</b>	94
3.2.1 組み合わせ回路と設計方法	94
3.2.2 正論理と負論理	96
3.2.3 正論理/負論理とAND/ORの関係	96
3.2.4 ド・モルガンの定理による回路の変換	101
3.2.5 ド・モルガンの定理によってすべての論理をNAND回路に変換	102
<b>3.3 Q&amp;A</b>	103
<b>3.4 演習問題</b>	105

## 第4章 ハードウェア記述言語

<b>4.1 ハードウェア記述言語の概要</b>	110
<b>4.2 基本論理回路のHDL化</b>	112
4.2.1 AND回路	112
4.2.2 OR回路	116
4.2.3 NAND回路	117
4.2.4 NOR回路	118
4.2.5 NOT回路	119
4.2.6 BUF回路	120
<b>4.3 シミュレーション</b>	121
4.3.1 テストベンチの設定	121
4.3.2 レジスタ宣言	121
4.3.3 ネット宣言	121
4.3.4 下層モジュールの呼び出し	122
4.3.5 順序による接続と名前による接続	123
4.3.6 下層モジュールへの入力信号の波形定義	124
4.3.7 「2AND」回路のシミュレーション結果	126
4.3.8 その他の回路のシミュレーション結果	128
<b>4.4 論理合成</b>	131
<b>4.5 Q&amp;A</b>	133
<b>4.6 演習問題</b>	133

## 第5章 組み合わせ回路

<b>5.1 排他的論理和回路</b>	140
5.1.1 真理値表とカルノー図	140
5.1.2 動作と回路記号	141
5.1.3 EXOR回路のVerilog HDL記述	141
<b>5.2 選択回路</b>	150

5.2.1 真理値表と論理式	150
5.2.2 選択回路のVerilog HDL記述	153
<b>5.3 比較回路</b>	167
5.3.1 真理値表とカルノー図	167
5.3.2 比較回路のVerilog HDL記述	169
5.3.3 入力のバス幅を拡張した比較回路	172
5.3.4 全比較回路および4ビット比較回路のVerilog HDL記述	174
<b>5.4 エンコーダ</b>	178
5.4.1 10進-BCDエンコーダ	178
5.4.2 問題を解決したエンコーダ	179
5.4.3 10進-BCDエンコーダのシミュレーション	180
<b>5.5 デコーダ</b>	184
5.5.1 BCD-10進デコーダ	184
5.5.2 BCD-10進デコーダのシミュレーション	187
<b>5.6 7セグメントデコーダの設計</b>	190
5.6.1 7セグメントの動作と7セグメントデコーダの設計	190
5.6.2 真理値表、カルノー図、論理式、回路図	190
5.6.3 7セグメントデコーダのシミュレーション	194
<b>5.7 パリティ回路</b>	196
5.7.1 4ビットパリティジェネレータ	196
5.7.2 5ビットパリティチェッカ	197
5.7.3 4ビット偶数パリティジェネレータのシミュレーション	199
<b>5.8 正論理と負論理</b>	202
5.8.1 排他的論理和回路	202
5.8.2 2-1セレクタ	204
5.8.3 4-1セレクタ	204
<b>5.9 Q&amp;A</b>	205
<b>5.10 演習問題</b>	209

## 第6章 デジタルIC

<b>6.1 デジタル回路の製作</b>	220
<b>6.2 デジタルICの特性</b>	224
6.2.1 出力電圧	224
6.2.2 入力電圧	224
6.2.3 出力電流	225
6.2.4 入力電流	226
<b>6.3 ファンイン、ファンアウト</b>	227
6.3.1 ファンイン	227
6.3.2 ファンアウト	228
6.3.3 ファンイン、ファンアウトから求める接続数	229
6.3.4 シリズが異なる場合	229
<b>6.4 伝搬遅延時間</b>	231
6.4.1 TTLとCMOS	231
6.4.2 TTLの種類（シリズ）	231
6.4.3 CMOSの種類	232
6.4.4 伝搬遅延時間	233

6.4.5	伝搬遅延時間のVerilog HDL記述	234
<b>6.5</b>	<b>消費電力</b>	240
<b>6.6</b>	<b>プルアップとプルダウン</b>	241
6.6.1	プルアップとプルアップ抵抗	241
6.6.2	プルダウン	243
6.6.3	プルアップ、プルダウンのVerilog HDL記述	243
<b>6.7</b>	<b>出力形式</b>	244
6.7.1	トータムポール出力	244
6.7.2	トライステート出力	245
6.7.3	トライステート出力やワイヤードロジックのVerilog HDL記述	247
6.7.4	オープンコレクタ出力	251
6.7.5	サスティンド・トライステート出力	253
<b>6.8</b>	<b>スパイク電流とバイパスコンデンサ</b>	254
6.8.1	スパイク電流	254
6.8.2	バイパスコンデンサ	256
6.8.3	連続ステッピングと分割ステッピング	257
<b>6.9</b>	<b>Q&amp;A</b>	259
<b>6.10</b>	<b>演習問題</b>	262

## 第7章 フリップフロップ

<b>7.1</b>	<b>非同期型RSフリップフロップ</b>	272
7.1.1	動作と回路記号	272
7.1.2	状態遷移表と特性方程式	275
7.1.3	状態遷移図	276
7.1.4	フリップフロップの初期状態	276
7.1.5	NAND回路による非同期型RSフリップフロップ	277
7.1.6	Verilog HDL記述	278
<b>7.2</b>	<b>非同期型Tフリップフロップ</b>	284
7.2.1	動作と回路記号	284
7.2.2	状態遷移表、特性方程式、状態遷移図	284
7.2.3	初期状態	285
7.2.4	Verilog HDL記述	285
<b>7.3</b>	<b>同期型RSフリップフロップ</b>	287
7.3.1	動作と回路記号	287
7.3.2	状態遷移表、特性方程式、状態遷移図	289
7.3.3	Verilog HDL記述	289
<b>7.4</b>	<b>同期型Tフリップフロップ</b>	291
7.4.1	動作と回路記号	291
7.4.2	状態遷移表、特性方程式、状態遷移図	292
7.4.3	Verilog HDL記述	292
<b>7.5</b>	<b>同期型Dフリップフロップ</b>	294
7.5.1	動作と回路記号	294
7.5.2	状態遷移表、特性方程式、状態遷移図	295
7.5.3	Verilog HDL記述	295
<b>7.6</b>	<b>同期型JKフリップフロップ</b>	297
7.6.1	動作と回路記号	297

7.6.2	状態遷移表、特性方程式、状態遷移図	298
7.6.3	Verilog HDL記述	299
<b>7.7</b>	<b>特性方程式の応用</b>	301
7.7.1	同期型RSフリップフロップ	301
7.7.2	同期型Tフリップフロップ	302
7.7.3	同期型JKフリップフロップ	302
<b>7.8</b>	<b>非同期R+同期型Dフリップフロップ</b>	304
7.8.1	動作と回路記号	304
7.8.2	状態遷移表	304
7.8.3	Verilog HDL記述	305
<b>7.9</b>	<b>非同期R+同期型JKフリップフロップ</b>	307
<b>7.10</b>	<b>ラッチ回路</b>	308
7.10.1	動作と回路記号	308
7.10.2	Verilog HDL記述	309
<b>7.11</b>	<b>assign文とalways文の実行タイミング</b>	310
7.11.1	assign文の実行タイミング	310
7.11.2	always文の実行タイミング	310
<b>7.12</b>	<b>フリップフロップの伝搬遅延時間</b>	311
<b>7.13</b>	<b>Q&amp;A</b>	314
<b>7.14</b>	<b>演習問題</b>	318

## 第8章 順序回路

<b>8.1</b>	<b>レジスタ</b>	328
8.1.1	動作と回路記号	328
8.1.2	Verilog HDL記述	329
8.1.3	レジスタのVerilog HDLによる階層設計	331
<b>8.2</b>	<b>シフトレジスタ</b>	333
8.2.1	動作と回路図	333
8.2.2	シフトレジスタのVerilog HDL記述	336
<b>8.3</b>	<b>非同期式カウンタ</b>	342
8.3.1	非同期式2 <sup>n</sup> 進カウンタ	342
8.3.2	非同期式N進カウンタ	350
<b>8.4</b>	<b>同期式カウンタ</b>	356
8.4.1	同期式2 <sup>n</sup> 進カウンタ	356
8.4.2	同期式N進カウンタ	360
<b>8.5</b>	<b>同期式回路の設計</b>	364
8.5.1	4進アップカウンタの設計	364
8.5.2	JKフリップフロップによる4進アップカウンタの設計	365
8.5.3	Dフリップフロップによる10進アップカウンタの設計	367
8.5.4	JKフリップフロップによる10進アップカウンタの設計	368
<b>8.6</b>	<b>順序回路のリセット</b>	371
8.6.1	非同期リセット	371
8.6.2	同期リセット	371
<b>8.7</b>	<b>最大クロック周波数</b>	374
8.7.1	ホールドタイムとセットアップタイム	374

8.7.2	最大クロック周波数	377
<b>8.8</b>	<b>Q&amp;A</b>	379
<b>8.9</b>	<b>演習問題</b>	380

## 第9章 演算回路

<b>9.1</b>	<b>基本演算回路</b>	394
9.1.1	半加算器	394
9.1.2	全加算器	397
9.1.3	半減算器	404
9.1.4	全減算器	407
<b>9.2</b>	<b>加算回路</b>	412
9.2.1	全加算器を使用した加算回路	412
9.2.2	加算回路の高速化	415
9.2.3	演算速度の検証	419
9.2.4	BCD加算回路	424
<b>9.3</b>	<b>全減算器を使用した減算回路</b>	429
<b>9.4</b>	<b>補数を使用した加減算回路</b>	432
<b>9.5</b>	<b>unsignedとsigned</b>	444
<b>9.6</b>	<b>Q&amp;A</b>	448
<b>9.7</b>	<b>演習問題</b>	456

## 第10章 同期式回路設計の工夫

<b>10.1</b>	<b>イネーブル付レジスタ</b>	460
10.1.1	イネーブル付フリップフロップ	461
10.1.2	イネーブル付レジスタのVerilog HDL記述	463
<b>10.2</b>	<b>イネーブル付シフトレジスタ</b>	465
10.2.1	シリアルイン・パラレルアウト・シフトレジスタ	465
10.2.2	シリアルイン・パラレルアウト・シフトレジスタのVerilog HDL記述	465
10.2.3	パラレルイン・シリアルアウト・シフトレジスタ	467
10.2.4	2段論理によるパラレルイン・シリアルアウト・シフトレジスタ	469
<b>10.3</b>	<b>イネーブル付カウンタ</b>	470
10.3.1	「+1」回路とレジスタ	470
10.3.2	イネーブル付カウンタのVerilog HDL記述	473
<b>10.4</b>	<b>イネーブル付アップダウンカウンタ</b>	475
10.4.1	動作と構成	475
10.4.2	イネーブル付アップダウンカウンタのVerilog HDL記述	478
<b>10.5</b>	<b>ロード、イネーブル付アップダウンカウンタ</b>	480
10.5.1	動作と構成	480
10.5.2	ロード、イネーブル付アップダウンカウンタのVerilog HDL記述	480
<b>10.6</b>	<b>カウンタの縦続接続</b>	483
10.6.1	「RC」の追加	483
10.6.2	回路記号と縦続接続	483
10.6.3	100進カウンタのVerilog HDL記述	485
10.6.4	シミュレーション結果の確認	488
10.6.5	256進カウンタのVerilog HDL記述	488

<b>10.7</b>	<b>トラップ補正とテスト回路</b>	490
10.7.1	トラップ補正	490
10.7.2	トラップ補正のVerilog HDL記述	493
10.7.3	テスト回路の追加	493
10.7.4	テスト回路を考慮したVerilog HDL	494
<b>10.8</b>	<b>入力信号の同期化</b>	497
10.8.1	非同期リセット信号	497
10.8.2	同期リセット信号	499
10.8.3	テストベンチからの信号	499
<b>10.9</b>	<b>入力信号の変化の検出</b>	499
10.9.1	動作と回路構成	499
10.9.2	検出回路のVerilog HDL記述	501
<b>10.10</b>	<b>出力信号のスパイク</b>	504
10.10.1	スパイク発生のメカニズム	504
10.10.2	スパイクフリー設計	506
<b>10.11</b>	<b>always文による組み合わせ回路の記述</b>	507
<b>10.12</b>	<b>Q&amp;A</b>	508
<b>10.13</b>	<b>演習問題</b>	513

## 第11章 乗除算回路

<b>11.1</b>	<b>乗算回路</b>	522
11.1.1	回路構成	522
11.1.2	乗算回路のVerilog HDL記述	526
11.1.3	シミュレーション結果の検証	527
11.1.4	乗算演算子「*」による乗算回路のVerilog HDL記述	528
<b>11.2</b>	<b>乗算回路の高速化</b>	530
11.2.1	アキュムレータロードの工夫	530
11.2.2	乗数2ビットを同時処理	533
<b>11.3</b>	<b>除算回路</b>	537
11.3.1	回路構成	541
11.3.2	除算回路のVerilog HDL記述	549
<b>11.4</b>	<b>Q&amp;A</b>	550
<b>11.5</b>	<b>演習問題</b>	551

## 付録

<b>A</b>	<b>Verilog HDLの構文定義</b>	558
<b>B</b>	<b>CD-ROMについて</b>	582
<b>C</b>	<b>論理シミュレータと論理合成ツール</b>	587

索引	588
----	-----