
1章 FPGAを理解するための基本事項

1・1 論理回路の基礎	1
1・1・1 論理代数	1
1・1・2 論理式	2
1・1・3 真理値表	3
1・1・4 組合せ回路	3
1・1・5 順序回路	4
1・2 同期設計	6
1・2・1 フリップフロップ	6
1・2・2 セットアップ時間, ホールド時間	7
1・2・3 タイミング解析	9
1・2・4 単相クロック同期回路	10
1・3 FPGAの位置付けと歴史	11
1・3・1 FPGAの位置付け	11
1・3・2 FPGAの歴史	12
1・4 FPGAに関する用語	28
参考文献	34

2章 FPGAの概要

2・1 FPGAの構成要素	35
2・2 プログラミングテクノロジー	37
2・2・1 フラッシュメモリ	37
2・2・2 アンチヒューズ	41

2・2・3	スタティックメモリ	44	
2・2・4	プログラミングテクノロジーのまとめ	45	
2・3	FPGA の論理表現		47
2・3・1	FPGA への回路実装	47	
2・3・2	プロダクトターム方式による論理表現	48	
2・3・3	ルックアップ・テーブル方式による論理表現	51	
2・3・4	そのほかの方式による論理表現	55	
	参考文献		59

3章 FPGA の構成

3・1	論理ブロックの構成		61
3・1・1	ルックアップ・テーブルの性能トレードオフ	62	
3・1・2	専用キャリ・ロジック	65	
3・2	論理クラスタ		66
3・3	LUT のアダプティブ化		67
3・3・1	Altera 社 Stratix II	70	
3・3・2	Xilinx 社 Virtex 5	71	
3・4	配線セグメント		71
3・4・1	グローバル配線アーキテクチャ	72	
3・4・2	詳細配線アーキテクチャ	74	
3・4・3	配線セグメント長	76	
3・4・4	配線スイッチの構造	76	
3・5	スイッチブロック		78
3・5・1	スイッチブロックのトポロジー	78	
3・5・2	マルチプレクサの構成	80	
3・6	コネクションブロック		81
3・7	I/O ブロック		82
3・8	DSP ブロック		86
3・8・1	DSP ブロックの構成例	87	
3・8・2	演算粒度	88	
3・8・3	DSP ブロックの利用法	89	
3・9	ハードマクロ		90
3・9・1	ハードマクロ化されたインタフェース回路	90	

3・9・2	ハードコアプロセッサ	91	
3・10	エンベデッドメモリ		92
3・10・1	ハードマクロとしてのメモリブロック	93	
3・10・2	論理ブロック内 LUT を用いたメモリ	94	
3・10・3	エンベデッドメモリの利用法	94	
3・11	コンフィギュレーションチェーン		95
3・11・1	コンフィギュレーション用メモリ技術	95	
3・11・2	JTAG インタフェース	96	
3・12	PLL と DLL		97
3・12・1	PLL の基本構成と動作	98	
3・13	典型的な PLL ブロック		98
3・14	PLL ブロックの柔軟性と制約		100
3・14・1	ロック出力	100	
3・14・2	DLL	101	
	参考文献		102

4章 設計フローとツール

4・1	設計フロー		109
4・2	HDL からの設計フロー		110
4・2・1	プロジェクトの登録	111	
4・2・2	論理合成とテクノロジーマッピング	113	
4・2・3	RTL シミュレーション	114	
4・2・4	配置配線	115	
4・2・5	デバイスへの書込み	116	
4・2・6	実機動作検証	118	
4・2・7	最適化	120	
4・3	HLS 設計		121
4・3・1	動作記述	121	
4・3・2	動作レベルシミュレーション	126	
4・3・3	動作合成	128	
4・3・4	分析評価と最適化	129	
4・3・5	RTL との接続	130	
4・4	IP を用いた設計		132

4・4・1	IP と生成ツール	132
4・4・2	IP の利用と統合ツール	133
4・4・3	IP 化支援ツール	134
4・5	プロセッサを用いた設計	134
4・5・1	ハードコアプロセッサとソフトコアプロセッサ	135
4・5・2	プロセッサシステムの構築	135
4・5・3	ソフトウェア開発環境	136
4・5・4	ソフトウェアとハードウェアの統合と実行	137
参考文献		139

5章 設計技術

5・1	FPGA 設計フロー	141
5・2	テクノロジーマッピング	142
5・3	クラスタリング	147
5・4	配置配線	152
5・5	低消費電力化設計ツール	157
5・5・1	Emap：低消費電力化マッピングツール	158
5・5・2	P-T-VPack：低消費電力化クラスタリングツール	159
5・5・3	P-VPR：低消費電力化配置配線ツール	160
5・5・4	ACE：アクティビティ計測ツール	161
参考文献		162

6章 ハードウェアアルゴリズム

6・1	パイプライン処理	165
6・1・1	パイプライン処理の原理	165
6・1・2	パイプライン処理による性能向上	166
6・2	並列処理と Flynn の分類	169
6・2・1	Flynn の分類	169
6・2・2	SIMD 型アーキテクチャ	170
6・2・3	MISD 型アーキテクチャ	171
6・2・4	MIMD 型アーキテクチャ	171

6・3	シストリックアルゴリズム	172
6・3・1	シストリックアルゴリズムとシストリックアレイ	172
6・3・2	1次元シストリックアレイによる部分ソーティング	174
6・3・3	1次元シストリックアレイによる行列ベクトル積	175
6・3・4	2次元シストリックアレイによる行列積	176
6・3・5	プログラマブルシストリックアレイによるステンシル計算と流体力学計算への応用	177
6・4	データフローマシン	179
6・4・1	静的データ駆動方式マシン	182
6・4・2	動的データ駆動方式マシン	183
6・4・3	ペトリネット	185
6・5	ストリーム処理	188
6・5・1	定義とモデル	188
6・5・2	ハードウェア実装方式	189
6・5・3	計算の例	192
6・6	セルオートマトン	194
6・7	ハードウェアソーティングアルゴリズム	196
6・8	パターンマッチング	197
6・8・1	厳密マッチング	197
6・8・2	正規表現マッチング	199
6・8・3	近似マッチング	201
参考文献		206

7章 PLD/FPGA の応用事例

7・1	プログラマブル・ロジック・デバイスの現在とこれから	209
7・2	スーパーコンピュータ：大規模システムを補完する PLD/FPGA	210
7・2・1	スパコン構築において重要なことはなにか	210
7・2・2	スパコンにおける FPGA の利用事例	212
7・3	ネットワーク分野：高速・高帯域通信を実現する PLD/FPGA	215
7・3・1	ネットワークスイッチの概要	215
7・3・2	ネットワーク用デバイスとしてみた FPGA の進化	217
7・3・3	SDN と FPGA	218
7・3・4	システム構成と通信パケットの処理	219

7・3・5 連想メモリ (CAM) と FPGA	221
7・4 ビッグデータ処理：ウェブ検索	223
7・4・1 Bing 検索の仕組み	224
7・4・2 ランク計算の高速化	224
7・4・3 Catapult アクセラレータの構成	225
7・5 ゲノム科学：ショートリードアセンブリマッピング	226
7・5・1 ショートリードからの <i>De Novo</i> アセンブリ	227
7・5・2 リファレンス配列へのショートリードマッピング	227
7・6 金融市場：FPGA が莫大な富を生む	228
7・6・1 高頻度取引 (HFT) の概要	228
7・6・2 HFT システムの特徴と FPGA 利用の是非	229
7・6・3 演算性能を考慮した FPGA の利用方法	231
7・7 人工知能：FPGA が実現する深層学習の次	232
7・7・1 第3次人工知能ブームの到来か	232
7・7・2 AI アクセラレータという観点からの仕様性能比較	233
7・7・3 FPGA と人工知能	234
7・8 画像処理：スペースデブリ探索	235
7・8・1 方式の概要	235
7・8・2 FPGA による高速化	236
参考文献	237

8章 新しいデバイス, アーキテクチャ

8・1 粗粒度リコンフィギュラブルアーキテクチャ (CGRA)	247
8・1・1 CGRA の一般的構成とその歴史	247
8・1・2 CGRA の位置づけ	248
8・2 動的再構成アーキテクチャ	250
8・2・1 事例：DRP	251
8・2・2 並列プロセッサ技術との関連性	253
8・2・3 ほかの動的再構成アーキテクチャ	255
8・3 非同期式 FPGA	255
8・3・1 同期式 FPGA の問題点	255
8・3・2 非同期式 FPGA の概要	256
8・3・3 非同期式 FPGA の高性能化・低消費電力化・設計容易化	261

8・4 FPGA システムの低消費電力化技術	263
8・4・1 FPGA を用いた計算システム	263
8・4・2 FPGA デバイスの低消費電力化	263
8・4・3 FPGA システムの高性能化・低消費電力化	268
8・5 3次元 FPGA	270
8・6 高速シリアル I/O	272
8・6・1 LVDS	272
8・6・2 28 Gbps 高速シリアル I/O	274
8・6・3 120 Gbps 光 I/O をもつ FPGA	275
8・7 光再構成アーキテクチャ	277
8・7・1 カリフォルニア工科大学の光再構成アーキテクチャ	277
8・7・2 わが国の光再構成型ゲートアレイ	277
参考文献	279
索引	285