

目 次

第1編 電子回路の基礎

1. 回路の基礎	(神林紀嘉)	2
1.1 単位		2
1.2 回路素子		2
1.2.1 独立電源と制御電源		2
1.2.2 受動素子の電圧・電流の関係		2
1.3 回路解析・設計に必要な法則・定理など		4
1.3.1 オームの法則		4
1.3.2 キルヒホッフの法則		5
1.3.3 線形性と重ね合わせの理		5
1.3.4 テブナンの定理とノートンの定理		6
1.3.5 節点電圧解析と網目電流解析		7
1.4 回路解析・設計に便利なツールなど		8
1.4.1 メイソンの利得式		8
1.4.2 感度		9
1.5 フーリエ変換と交流理論		10
1.5.1 フーリエ級数とフーリエ積分		10
1.5.2 ラプラス変換		14
1.6 交流理論		15
1.6.1 正弦波電圧・電流		15
1.6.2 受動素子の電圧・電流の関係 ($j\omega$ の導入)		16
1.6.3 伝達特性		16
1.6.4 回路の安定性		18
2. 回路デバイス	(神林紀嘉)	19
2.1 半導体の基礎		19
2.1.1 半導体材料		19
2.1.2 半導体の結晶構造		20
2.1.3 エネルギー帯		21

2.1.4 フェルミーディラック分布関数（フェルミ関数）	22
2.1.5 ドナーとアクセプタ	23
2.2 pn接合ダイオード	23
2.2.1 pn接合ダイオード	23
2.2.2 pn接合ダイオードの電圧-電流特性	26
2.2.3 pn接合の等価用量と等価コンダクタンス	27
2.2.4 接合の降伏	28
2.2.5 各種pn接合ダイオード	28
2.3 ショットキバリアダイオード	29
2.3.1 ショットキ接合	29
2.3.2 電圧-電流特性	30
2.4 バイポーラトランジスタ	31
2.4.1 バイポーラトランジスタの動作	31
2.4.2 接地形式と電流増幅率	32
2.4.3 バイアスと動作モード	34
2.4.4 エバース-モルモデル	34
2.5 その他のバイポーラトランジスタ	35
2.5.1 ヘテロ接合トランジスタ	35
2.5.2 サイリスタ	37
2.6 電界効果トランジスタ	37
2.6.1 接合型FET	37
2.6.2 MOS電界効果トランジスタ	40
 3. 雜 音	(神林紀嘉) 43
3.1 雜音の基礎	43
3.1.1 2乗平均値	43
3.1.2 信号対雑音比	44
3.2 電子デバイスにおける雑音	44
3.2.1 热 雜 音	44
3.2.2 ショット雑音	45
3.2.3 フリッカ雑音	45
3.2.4 アバランシェ雑音	45
3.2.5 バースト雑音	46
3.2.6 等価雑音抵抗	46
3.2.7 雜音帯域幅	46
3.2.8 等価入力雑音	47

3.3 デバイスの雑音等価回路	48
3.3.1 接合ダイオード	48
3.3.2 バイポーラトランジスタ	48
3.3.3 MOSトランジスタ	48

第2編 増幅回路設計

4. トランジスタの動作と特性	(和田和千) 52
4.1 トランジスタの大信号特性	52
4.1.1 バイポーラトランジスタ	52
4.1.2 MOSトランジスタ	53
4.2 大信号と小信号の分離	56
4.3 等価回路の導出	57
4.3.1 電源ならびに受動素子	57
4.3.2 バイポーラトランジスタのバイアス解析用モデル	57
4.3.3 バイポーラトランジスタの低周波小信号等価回路	58
4.3.4 バイポーラトランジスタの高周波小信号等価回路	60
4.3.5 MOSトランジスタの小信号等価回路	61
5. 基本增幅回路	(和田和千) 65
5.1 バイアス回路の設計	65
5.1.1 バイポーラトランジスタを用いたバイアス回路	65
5.1.2 MOSトランジスタを用いたバイアス回路	66
5.2 増幅回路の諸量	66
5.3 バイポーラトランジスタ基本增幅回路	67
5.3.1 ベース接地増幅回路	67
5.3.2 エミッタ接地増幅回路	68
5.3.3 コレクタ接地増幅回路	70
5.3.4 基本接地形式の比較	70
5.4 MOSトランジスタ基本增幅回路	71
5.4.1 ゲート接地増幅回路	71
5.4.2 ソース接地増幅回路	72
5.4.3 ドレイン接地増幅回路	73
5.5 差動増幅回路	74
5.5.1 差動対と差動増幅回路	74

5.5.2 2出力差動増幅回路の小信号特性	76
5.5.3 単一出力差動増幅回路の小信号特性	80
5.5.4 電流源を用いた差動増幅回路の直流特性	82
5.6 基本増幅回路の周波数特性	83
5.6.1 エミッタ接地増幅回路とソース接地増幅回路	83
5.6.2 零時定数解析法	87
6. 増幅回路の特性改善 (和田和千)	91
6.1 高利得増幅回路	91
6.1.1 能動負荷	91
6.1.2 縦続接続	92
6.2 複合トランジスタ	93
6.2.1 ダーリントン接続	94
6.2.2 カスコード接続	95
6.3 帰還技術	96
6.3.1 原理	97
6.3.2 負帰還回路の性質	98
6.3.3 構成例	101
6.3.4 帰還回路の安定性	106
7. 演算増幅器とその応用 (兵庫 明)	114
7.1 理想演算増幅器の特性	114
7.2 演算増幅器の解析	115
7.2.1 差動利得と同相利得	116
7.2.2 同相除去比	116
7.2.3 周波数特性	116
7.2.4 入力オフセット電圧	117
7.2.5 入力バイアス電流と入力オフセット電流	117
7.2.6 スルーレート	118
7.2.7 電源電圧変動除去比	119
7.2.8 入力インピーダンスと出力インピーダンス	119
7.2.9 その他	120
7.3 演算増幅器の線形回路への応用	120
7.3.1 逆相増幅回路	120
7.3.2 正相増幅回路	120
7.3.3 電圧フォロワ	121

7.3.4 加算回路	121
7.3.5 減算回路	122
7.3.6 高入力インピーダンス差動増幅回路	122
7.3.7 加減算回路	123
7.3.8 積分回路	123
7.3.9 微分回路	123
7.3.10 フィルタ	124
7.4 演算増幅器の非線形回路への応用	124
7.4.1 対数変換回路	124
7.4.2 逆対数変換回路	125
7.4.3 乗算回路と除算回路	125
7.4.4 理想半波整流回路と理想全波整流回路	126
7.4.5 波形変換回路	127
8. 電力増幅回路	(高木茂孝) 129
8.1 A級電力増幅回路	129
8.1.1 基本A級電力増幅回路	129
8.1.2 A級電力増幅回路の改良	130
8.2 B級電力増幅回路	132
8.2.1 B級電力増幅回路の電力効率	132
8.2.2 B級電力増幅回路の問題点	134
9. 高周波増幅回路	136
9.1 低雑音増幅器	(藤本竜一) 136
9.1.1 LNAを設計するための基本事項	136
9.1.2 LNAに要求される特性	141
9.1.3 ひずみ (IIP3)	142
9.1.4 LNAのまとめ	144
9.2 高周波電力増幅回路	(山口恵一) 144
9.2.1 はじめに	145
9.2.2 理想電力増幅回路モデル	147
9.2.3 動作級	152
9.2.4 ひずみ	155
9.2.5 まとめ	161

第3編 応用回路

10. フィルタ	(渡辺健蔵) ...	164
10.1 フィルタの特性		164
10.2 LCRフィルタ		169
10.3 アクティブフィルタ		175
11. 発振回路	(渡辺健蔵) ...	187
11.1 発振回路の原理		187
11.2 RC発振回路		190
11.3 LC発振機		192
11.4 水晶発振回路		194
11.5 弛張発振器		196
11.6 電圧制御発振回路		198
12. PLL	(川人祥二) ...	204
12.1 原理		204
12.2 PLLの基本特性		205
12.3 PLLの構成要素		207
12.3.1 位相比較器		207
12.3.2 チャージポンプ		210
12.3.3 VCO (電圧制御発振機)		212
12.4 PLLの応用		213
12.4.1 周波数シンセサイザ		213
12.4.2 周波数倍増		214
12.4.3 位相ノイズの低減		214
12.4.4 クロッククリカバリ		214
12.4.5 変復調		215
12.5 PLLの諸性質		215
12.5.1 同期保持範囲と周波数引込み範囲		215
12.5.2 ノイズ		216
13. 変復調回路	(川人祥二) ...	219
13.1 変調の目的と種類		219
13.2 連続波アナログ変調の原理		220

13.2.1	振幅変調（両側波帯振幅変調）	220
13.2.2	搬送波抑圧振幅変調	221
13.2.3	角度変調	222
13.3	連続波デジタル変調	223
13.3.1	デジタル振幅変調(ASK)	223
13.3.2	デジタル位相変調(PSK)	223
13.3.3	直交振幅変調(QAM)	224
13.3.4	デジタル周波数変調	224
13.4	変復調回路	225
13.4.1	振幅変調・復調回路	225
13.4.2	角度変調器・復調器	226
13.4.3	デジタル変調回路・復調回路	229
14.	電 源 回 路	(渡辺健蔵) 232
14.1	電源回路の構成と原理	232
14.2	直流安定化回路	236
14.3	DC-DCコンバータ	241
14.4	DC-ACコンバータ	251

第4編 アナログ集積回路

15.	アナログ集積回路プロセスとデバイスマodel	(谷口研二) 256
15.1	集積回路の特徴	256
15.1.1	素子間分離技術	256
15.1.2	拡散層形成技術	257
15.2	バイポーラプロセスと素子モデル	258
15.2.1	バイポーラ集積回路製造プロセス	258
15.2.2	バイポーラデバイスマodel	259
15.3	CMOSプロセスとモデル	260
15.3.1	MOSFETモデル	261
15.4	BiCMOSプロセス	261
16.	アナログ集積回路基本ブロック	(谷本 洋) 263
16.1	アナログ集積基本回路	263
16.1.1	カレントミラー回路	263

16.1.2 差動増幅回路	278
16.1.3 能動負荷	282
16.1.4 バンドギャップ基準電圧発生回路（バンドギャップ回路）.....	284
16.2 演算増幅器設計	288
16.2.1 2段増幅回路.....	289
16.2.2 3段増幅回路.....	297
16.2.3 特性改善技術	299
16.3 OTA	302
16.3.1 OTAを特徴づける機能とその用途	302
16.3.2 BJTを用いたOTAの回路例	303
16.3.3 MOSを用いたOTAの例	304
16.3.4 全差動OTAと同相帰還回路	305
16.3.5 フォールデッドカスコード回路を用いた全差動OTAの例	305
16.4 乗 算 器	306
16.4.1 差動増幅回路を利用する方法	306
16.4.2 MOSを用いた乗算器	308
16.5 電流増幅回路 (CC, CF)	311
16.5.1 カレントコンベイアとカレントフォロワ	312
16.5.2 電流帰還型演算増幅器 (CFOPA).....	313
16.6 変換回路	315
16.6.1 電圧-電流変換回路	315
16.6.2 電流-電圧変換回路	327
 17. 集積化アナログフィルタ	(谷本 洋) 330
17.1 連続時間系フィルタ	331
17.1.1 積分回路	331
17.1.2 OTAの非理想性の影響	332
17.1.3 過剰位相推移の補償	335
17.1.4 周波数チューニング	336
17.1.5 Qのチューニング	338
17.2 SCフィルタ	340
17.2.1 SC抵抗	340
17.2.2 スイッチドキャパシタ積分器 (SC積分器).....	341
17.2.3 縦続接続によるSCフィルタの設計	344
17.2.4 SC回路のシミュレーション	353

18. 集積化 A-D, D-A 変換回路技術	(塚田敏郎)	355
18.1 A-D, D-A 変換回路の原理	355	
18.1.1 A-D 変換の基本処理 (標本化, 量子化, 符号化)	355	
18.1.2 A-D 変換回路の原理	357	
18.1.3 D-A 変換回路の原理	358	
18.2 A-D, D-A 変換回路の特性評価	361	
18.2.1 A-D, D-A 変換の理想特性	361	
18.2.2 A-D, D-A 変換特性の評価項目	362	
18.2.3 A-D, D-A 変換回路の評価方法	364	
18.3 積分型変換回路	366	
18.3.1 1重積分型A-D 変換回路	366	
18.3.2 2重積分型A-D 変換回路	366	
18.3.3 その他の積分型A-D 変換回路	367	
18.4 並列比較型変換回路	367	
18.4.1 並列比較型A-D 変換回路 (フラッシュ型)	367	
18.4.2 直並列型A-D 変換回路 (2ステップフラッシュ型)	368	
18.4.3 パイプライン型A-D 変換回路	369	
18.5 逐次比較型変換回路	370	
18.5.1 抵抗ストリングを用いた逐次比較型A-D 変換回路	370	
18.5.2 容量アレイを用いた逐次比較型A-D 変換回路	371	
18.6 オーバサンプリング型変換回路	372	
18.6.1 オーバサンプリングと量子化雑音	372	
18.6.2 オーバサンプリング型A-D 変換回路	372	
18.6.3 オーバサンプリング型D-A 変換回路	375	
19. アナログ回路レイアウト技術	(堀田正生)	377
19.1 素子のレイアウト	377	
19.1.1 バイポーラトランジスタのレイアウト	377	
19.1.2 MOSトランジスタのレイアウト	378	
19.1.3 抵抗のレイアウト	379	
19.1.4 容量のレイアウト	381	
19.1.5 配線レイアウトに関する注意事項	382	
19.2 フロアプラン	382	
19.2.1 ブロックサイズとチップサイズの算定	382	
19.2.2 ブロック・パッド配置	383	
19.2.3 電源配線	383	

19.2.4 ピン接続およびブロック間配線	383
19.3 ブロックレイアウト設計	383
19.3.1 アナログブロックのレイアウト	383
19.3.2 セル配置と配線	384
19.3.3 レイアウト制約のチェック	384
19.3.4 ブロック内検証	384
19.4 全体レイアウト	384
19.4.1 ピン接続とブロック間配線	385
19.4.2 全体レイアウト検証	385
20. アナログ集積回路の実現	(森山誠二郎) 386
20.1 回路シミュレータの概要	386
20.1.1 回路シミュレータへの期待	386
20.1.2 SPICEの簡単な歴史	386
20.1.3 SPICEの解析機能	387
20.1.4 SPICEの解析原理	388
20.1.5 コンパクトSPICEモデル	389
20.1.6 RF回路のシミュレーション	390
20.2 設計から評価まで	395
20.2.1 アナログ設計のフロー	395
20.2.2 統合設計環境	396
20.2.3 寄生素子のバックアノテーションとシミュレーション	397
20.2.4 サブストレートカップリング	397
20.2.5 統計シミュレーション	397
20.2.6 プロセスデザインキット	397
20.2.7 アナログ回路の自動設計	398
20.2.8 アナログ回路の流通と再利用	398

第5編 もう一步進んだアナログ回路技術の基礎

21. 線形化回路技術	(井上高宏) 402
21.1 バイポーラトランジスタを用いた線形化回路技術	402
21.1.1 トランシリニア原理の定式化	402
21.1.2 トランシリニア回路	403
21.1.3 Log ドメイン回路設計	404

21.2 飽和領域動作のMOSトランジスタを用いた線形化回路技術	406
21.2.1 バイアス電流源変調を用いた線形化回路技術	406
21.2.2 複合MOSトランジスタを用いた線形化回路技術	407
21.2.3 バイアスオフセット技術を用いた線形化回路技術	407
21.3 非飽和領域動作のMOSトランジスタを用いた線形化回路技術	409
21.4 MOSトランジスタ構成のLogドメイン回路設計	409
21.5 MOSトランジスタ構成の $\sqrt{}$ ドメイン回路設計	410
 22. 安定化回路技術	(井上高宏) 413
22.1 素子偏差に対する耐性	413
22.2 温度変動に対する耐性	415
22.3 雑音に対する耐性	416
22.3.1 バイポーラトランジスタの雑音モデル	416
22.3.2 MOSトランジスタの雑音モデル	416
22.3.3 MOSスイッチからの雑音	417
22.3.4 同相雑音除去手法	417
22.3.5 チョッパー安定化法	418
22.3.6 トランシリニア回路における雑音	419
 23. 低電圧・低消費電力化回路技術	(井上高宏) 420
23.1 Rail-to-Rail回路設計技術	420
23.2 R-R入力段回路設計技術	420
23.2.1 NMOS対・PMOS対並列駆動形R-R入力段回路	420
23.2.2 $\sqrt{K_P I_{BP}} + \sqrt{K_N I_{BN}} = \text{一定}$ のR-R入力段回路	421
23.2.3 $I_{BP} + I_{BN} = \text{一定}$ のR-R入力段回路	422
23.3 R-R出力段回路設計技術	422
23.3.1 ソースフォロア構成のAB級出力段回路設計技術	422
23.3.2 エミッタ接地形AB級出力段回路設計技術	423
 24. 高周波回路技術と光関連への応用回路技術	(井上高宏) 425
24.1 回路の高周波化	425
24.2 GaAsアナログ回路技術	426
24.3 光関連への応用回路技術	427
 索引	431