

目次

推薦の辞	v
まえがき	vii
謝辞	xvii
1章 計算機設計の基礎	1
1.1 はじめに	2
1.2 コンピュータのクラス	4
1.3 コンピュータアーキテクチャを定義する	9
1.4 実装テクノロジーのトレンド	15
1.5 半導体の電力のトレンド	19
1.6 コストのトレンド	20
1.7 デイペンダビリティ (dependability)	27
1.8 性能の測定、報告、整理の方法	29
1.9 計算機設計の定量的な原則	39
1.10 総合的な実例：性能と価格性能比	47
1.11 誤った考えと落とし穴	52
1.12 おわりに	56
1.13 歴史的展望と参照事項	58
演習問題付きケーススタディ (Diana Franklin)	58

2章 命令レベル並列性とその活用	69		
2.1 命令レベル並列性：概念とチャレンジ	70		
2.2 命令レベル並列性を見出すための基本的なコンパイラ技術	79		
2.3 予測による分岐コストの削減	85		
2.4 動的スケジューリングによるデータハザードの克服	94		
2.5 動的スケジューリング：例題とアルゴリズム	104		
2.6 ハードウェアベースの投機処理	112		
2.7 多重命令発行と静的スケジューリングを用いた命令レベル並列性の抽出	123		
2.8 動的スケジューリング、多重命令発行および投機処理を用いた 命令レベル並列性の抽出	128		
2.9 命令供給と投機処理のための高度な技術	131		
2.10 総合的な実例：Intel Pentium 4	141		
2.11 誤った考えと落とし穴	150		
2.12 おわりに	152		
2.13 歴史的展望と参照事項 演習問題付きケーススタディ (Robert P. Colwell)	153		
3章 命令レベル並列性の上限	165		
3.1 はじめに	166		
3.2 ILPの上限	166		
3.3 実現可能なプロセッサでのILPの上限	178		
3.4 他の章との関連：「ハードウェアによる投機」対「ソフトウェアによる投機」	183		
3.5 マルチスレッディング：スレッドレベル並列性抽出のための ILPサポートの利用	185		
3.6 総合的な実例：先端的多重命令発行プロセッサでの性能と効率	193		
3.7 誤った考えと落とし穴	197		
3.8 おわりに	198		
3.9 歴史的展望と参照事項 演習問題付きケーススタディ (Wen-mei W. Hwu と John W. Sias)	199		
4章 マルチプロセッサとスレッドレベル並列性	209		
4.1 はじめに	210		
4.2 対称型共有メモリアーキテクチャ	220		
4.3 対称型共有メモリマルチプロセッサの性能	236		
4.4 分散共有メモリとディレクトリベースコヒーレンス制御	249		
4.5 同期：その基本	258		
4.6 メモリコンシステンシモデル：導入	264		
4.7 他の章との関連	268		
4.8 総合的な実例：Sun T1 マルチプロセッサ	271		
4.9 誤った考えと落とし穴	281		
4.10 おわりに	287		
4.11 歴史的展望と参照事項 演習問題付きケーススタディ (David A. Wood)	288		
5章 メモリ階層の設計	315		
5.1 はじめに	316		
5.2 キャッシュの性能向上のための11のより進んだ改良法	322		
5.3 メモリ技術と最適化	341		
5.4 保護：仮想記憶と仮想マシン	348		
5.5 他の章との関連：記憶階層の設計	358		
5.6 総合的な実例：AMD Opteronの記憶階層	360		
5.7 誤った考えと落とし穴	370		
5.8 おわりに	376		
5.9 歴史的展望と参照事項 演習問題付きケーススタディ (Norman P. Jouppi)	378		
6章 ストレージシステム	395		
6.1 はじめに	396		
6.2 ディスク記憶装置の最近の動向	396		
6.3 実際の欠陥と障害の定義と例	406		
6.4 I/O性能、信頼性の測定およびベンチマーク	413		
6.5 待ち行列理論入門	422		
6.6 他の章との関連	434		
6.7 I/Oシステムの設計と評価：インターネットアーカイブクラスタの例	437		
6.8 総合的な実例：NetApp FAS6000 ファイラ	444		
6.9 誤った考えと落とし穴	445		
6.10 おわりに	451		
6.11 歴史的展望と参照事項 演習問題付きケーススタディ (Andrea C. Arpaci-Dusseau, Remzi H. Arpaci-Dusseau)	451		

付録 A	パイプライン処理：基本および中間的な概念	475
A.1	はじめに	476
A.2	パイプライン処理の主要な障害：パイプラインハザード	486
A.3	パイプラインの実装法	503
A.4	何がパイプラインの実装を困難にするのだろうか？	517
A.5	複数サイクル演算を扱うためのMIPSパイプライン拡張	526
A.6	総合的な実例：MIPS R4000パイプライン	538
A.7	他の章との関連	546
A.8	誤った考えと落とし穴	557
A.9	おわりに	558
A.10	歴史的展望と参照事項	559
付録 B	命令セットの原理と例	561
B.1	はじめに	562
B.2	命令セットアーキテクチャの分類	563
B.3	メモリアドレスリング	567
B.4	オペランドタイプとオペランドサイズ	575
B.5	命令セットにおける命令操作	577
B.6	制御のための命令	578
B.7	命令セットのエンコード	583
B.8	他の章との関連：コンパイラの役割	586
B.9	他の章との関連：MIPSアーキテクチャ	596
B.10	誤った考えと落とし穴	607
B.11	おわりに	610
B.12	歴史的展望と参照事項	612
付録 C	記憶階層の復習	615
C.1	はじめに	616
C.2	キャッシュの性能	631
C.3	6つの基本的なキャッシュ改良法	640
C.4	仮想記憶	659
C.5	仮想記憶の保護とその例	668
C.6	誤った考えと落とし穴	678
C.7	おわりに	679
C.8	歴史的展望と参照事項	680

参考文献	681
索引	717
訳者あとがき	727
CD-ROM収録付録の翻訳者への謝辞	730

CD-ROM収録付録

付録 D	組み込みシステム
	Thomas M. Conteによる更新
付録 E	相互結合網
	Timothy M. PinkstonとJosé Duatoによる改訂
付録 F	ベクトルプロセッサ
	Krste Asanovicによる改訂
付録 G	VLIW・EPIC向けハードウェアとソフトウェア
付録 H	大規模マルチプロセッサと科学技術アプリケーション
付録 I	コンピュータの演算法
	David Goldbergによる
付録 J	さまざまな命令セットアーキテクチャ
付録 K	歴史的視点と参考文献

オンライン付録 (textbooks.elsevier.com/0123704901、登録採用者のみアクセス可能)

付録 L	演習問題付きケーススタディの解答
-------------	-------------------------