

目 次

1. 序 論——計算機の基本構成——	
1.1 計算機の発達	1
1.2 計算機の基本構成	3
1.3 情報の単位	4
2. ブール代数と論理演算——	
2.1 論理回路	6
2.2 ブール代数	7
2.3 NANDまたはNORを基本とする論理回路	10
2.4 論理関数の一般形	11
演習問題	15
3. 論理関数の簡単化——	
3.1 カルノー図による簡単化（マップ法）	17
3.2 クワイン・マックラスキーによる簡単化（テーブル法）	24
演習問題	29
4. 組合せ回路——	
4.1 組合せ回路の性質	30
4.2 組合せ回路の例	31
演習問題	37

5. 順序回路	
5.1 フリップ・フロップ (Flip-Flop : FF)	38
5.2 順序回路の設計	43
5.3 状態式による順序回路の設計	47
5.4 順序回路の例	48
5.4.1 カウンタ	48
5.4.2 シフトレジスタ	50
5.4.3 PLA	52
演習問題	52-1
6. 情報の表現	
6.1 情報のタイプ	53
6.1.1 数の表現方式	53
6.1.2 2進, オクタル, ヘキサデシマル	55
6.1.3 10進表現	56
6.1.4 文字の符号化	58
6.2 固定小数点表示	59
6.2.1 符号と絶対値	60
6.2.2 補数による表現	62
6.3 浮動小数点表示	66
6.4 誤り検出/訂正コード	68
6.4.1 ハミング距離	69
6.4.2 誤り検出/訂正コードの性質	69
6.4.3 パリティビットの付加	70
6.4.4 ハミングコード	72
演習問題	74
7. 演算アルゴリズム	
7.1 加算と減算	76
7.2 乗算	80

7.3 除 算	83
7.4 浮動小数点演算	87
演 習 問 題	91

8. 中央処理装置の構成と制御方式

8.1 基本的コンピュータアーキテクチャ	93
8.2 命令フォーマット	96
8.3 アドレスモード	99
8.4 マイクロ動作	102
8.5 プログラム実行制御	106
8.6 割 込 み	110
8.6.1 割込み処理	110
8.6.2 割込み原因	112
8.7 スタック機構	113
8.7.1 制御スタック	113
8.7.2 演算スタック	114
8.8 マイクロプログラム制御	116
8.8.1 制御メモリ	116
8.8.2 制御メモリのアドレス生成	118
8.8.3 マイクロ命令の例	118
8.9 並列処理によるCPUの高速化	120
8.9.1 パイプライン	120
8.9.2 命令ストリームのパイプライン	123
8.9.3 メモリインタリーブ	125
演 習 問 題	126

9. 記 憶 装 置

9.1 補 助 記 憶	129
9.1.1 磁気ディスク	131
9.1.2 磁気テープ	133

9.2	記憶階層	134
9.3	連想記憶	136
9.3.1	連想記憶の構造	137
9.3.2	マッチ論理	138
9.3.3	連想記憶の読取り/書き込み操作	139
9.3.4	連想プロセッサ	139
9.4	仮想記憶	140
9.4.1	アドレス空間とメモリ空間	140
9.4.2	アドレス写像	142
9.4.3	ページ置換	144
9.4.4	キャッシュメモリ	145
	演習問題	148
10.	入出力インタフェース	
10.1	I/Oインタフェース	149
10.1.1	入出力バスとインタフェースモジュール	150
10.1.2	コマンド	152
10.2	非同期データ転送	153
10.2.1	ストロブパルスによる同期	154
10.2.2	ハンドシェーキング	155
10.2.3	FIFOバッファ	156
10.3	直接メモリアクセス	157
10.4	優先割込み	158
10.4.1	ディジーチェーン優先割込み	160
10.4.2	並列優先割込み	161
10.5	入出力プロセッサ	162
10.5.1	CPU-IOP通信	163
10.5.2	IOP動作	164
	演習問題	165
	索引	167