

目 次

まえがき

I	はじめに	1
II	集積度の制約	2
III	チップ面積の制約	3
IV	ピン数	4
V	マイクロプロセッサの分類	4
V-I	バイポーラ系マイクロプロセッサ	4
V-II	MOS系マイクロプロセッサ	5

第1章 アレイ・ロジック

1.1	はじめに	7
1.2	PROM	7
1.3	FPLA	15
1.4	FPGA	23
1.5	PMUX	23
1.6	PAL	26

第2章 1ビット・マイクロプロセッサ

2.1	はじめに	29
2.2	MC 14500 B	29
2.2.1	メモリ	36
2.2.2	ICU	36
2.2.3	プログラム・カウンタ	36

2.2.4	入力選択回路	36
2.2.5	出力保持回路	36
2.3	SBA (Sequential Boolean Analyzer)	37

第3章 ビット・スライス・ マイクロプロセッサ

3.1	はじめに	39
3.2	ビット・スライス・マイクロプロセッサの基本構造	39
3.3	・ビット・スライス・マイクロプロセッサの概観	45
3.3.1	全体的傾向	45
3.3.2	アーキテクチャと特徴	46
(1)	MMI 6701 シリーズ	46
(2)	AMD 2900 シリーズ	49
(3)	フェアチャイルド 9405 シリーズ	52
(4)	インテル 3000 シリーズ	53
(5)	TI SN74S481 シリーズ	61
(6)	TI SBP0400 シリーズ	61
(7)	モトローラ MC10800 シリーズ	61
(8)	フェアチャイルド F100K 8ビット・スライス・ファミリー	68
(9)	シグネティックス 8X02 シーケンサ	69
3.4	ビット・スライス・マイクロプロセッサの応用例	69
(1)	16ビット・マイクロプロセッサ	69
(2)	4ビット・スライスECLプロセッサ・ファミリーによる 高速プロセッサ	78

第4章 16ビット・マイクロプロセッサ

4.1	はじめに	79
4.2	分類	80
4.3	価格	82
4.4	性能	85

4.5	モトローラ 68000	88
4.5.1	まえがき	88
4.5.2	レジスタ構成	88
4.5.3	命令セット	90
4.6	ザイログ Z 8000	91
4.6.1	はじめに	91
4.6.2	レジスタ構成	95
4.6.3	命令セット	95
4.7	インテル 8086	96
4.7.1	はじめに	96
4.7.2	レジスタ構成	96
4.7.3	命令セット	97
	参考文献	101