

目 次

1	いろいろな研究活動と役割りの分担	1
2	わが国における科学の創造	3
3	ものを作ることにどうしてこだわるか	4
4	自然を観察する力を身に付けよう	5
5	経験を伴った集積回路教育	6
6	集積回路研究の原点は何か	7
7	IC, LSIの教育	8
8	集積回路技術を組織だてること	9
9	ICプロセス技術確立の条件	10
10	Siウエハのスクライビング	11
11	Siウエハの持ち運び	13
12	Siウエハの鏡面仕上げ	15
13	Siウエハの熱酸化を考える	16
14	Siエピタキシャル成長前のチェック技術	18
15	Si-SiO ₂ 界面移動度とSiウエハ	20
16	今日のSi単結晶にみられる欠陥	22
17	Siウエハの熱処理	23
18	Siウエハの熱処理による欠陥	25
19	SiウエハのN ₂ またはAr中における熱処理	26
20	OSFとその発生核	27
21	SiウエハのN ₂ 中熱処理とOSF	29
22	D-OSFとC-OSF	30
23	OSFのエッチングと断面構造	32
24	Sirtl エッチとSecco エッチ	34
25	OSFゲッターリング効果の実験	35

26	MOSダイオードのキャリア生成率とOSF	37
27	スワール欠陥とOSF	39
28	無欠陥層の形成のための熱サイクル	40
29	微小欠陥MDの構造と性質	42
30	残留酸素に起因する微小欠陥: MD	44
31	Si(111)ウエハのOSF	45
32	Siウエハの今後	47
33	BSGからの硼素拡散	48
34	PSGからの磷拡散	50
35	BN膜の化学量論	52
36	BN膜の屈折率	54
37	CVD-BNからの硼素拡散の特長	56
38	CVD-BNからの硼素拡散プロファイル	58
39	フォトニースUR 3100の性質と特長	60
40	フォトニースとAlの接着性	61
41	フォトニースを用いた簡単なp-MOS-ICのプロセス	63
42	MOSトランジスタのしきい値電圧	65
43	フィールドのしきい値電圧	66
44	フォトニースを用いたフィールドのしきい値電圧	67
45	自己整合形多結晶Siゲートの形成法	69
46	プロセス技術のデバイスの特性による評価	71
47	多結晶SiゲートMOSトランジスタのしきい値電圧の分布	72
48	ゲートに漏れがあるインバータの伝達特性	74
49	MOSトランジスタの特性を確認する手順	76
50	より簡単化したMOS-ICプロセス	78

51	時刻テーブルを持つ論理回路シミュレーション	80
52	パス・トランジスタ	82
53	パス・トランジスタと電源構成	84
54	シミュレーションにおけるパス・トランジスタの取り扱い	85
55	パス・トランジスタを含む論理シミュレーションの例	87
56	NANDゲートの伝達特性と基板効果	89
57	最小加工寸法と集積回路のデザイン	91
58	フォト・マスクのデータ処理システム	93
59	フォト・マスク・データ処理の発展	94
60	フォト・マスクの基本設計ルール	95
61	フォト・マスク・パターンの検査項目	96
62	フォト・マスク・パターンの検査原理	98
63	フォト・マスク・パターンの検査例	100
64	SL-K 1003 (PDM)のアーキテクチャー	102
65	SL-K 1003 (PDM)の論理回路設計	104
66	SL-K 1003 (PDM)のフォト・マスク・デザイン	106
67	SL-K 1003 (PDM)のウエハ・プロセス	109
68	SL-K 1003 (PDM)のウエハ・プロセス	111
69	6ピン・2ビット・スタティック・マイクロコンピュータの動作	114
70	2ビット・スタティック・マイクロコンピュータ SL-M 2002の動作波形	116
71	SL-O 2003 (C-MOS)のための研素拡散	119
72	SL-O 2003 (C-MOS)のウエハ・プロセス	122
73	C-MOSプロセス技術の実際	124
74	三次元集積化にむけて	125
75	BPとSiの組み合わせ	126

76	B Pのドナーとアクセプタ	127
77	B PからSi へのBまたはP 拡散	130
78	n 形B PからSi への磷拡散	131
79	n 形B PからSi への磷または硼素拡散	133
80	提案されている三次元集積化の方式	136
81	新しいmerged logic の三次元構造	138
82	p 形B Pとn 形B Pのエピタキシャル成長	140
83	B Pの熱処理と化学量論からのずれ	142
84	B P上のSi エピタキシャル成長	144
85	B P-Si 多層構造に関するいろいろな意見	146
86	B P-Si ヘテロ接合 (1)	148
87	B P-Si ヘテロ接合 (2)	150
88	B P-Si ヘテロ接合 (3)	153
89	B Pの電子親和力	154
90	Si /B P/Si ヘテロ接合の障壁	156
91	B P/Si 多層構造を用いた三次元集積化の課題	158
92	三次元集積化とコンピュータの分散一並列処理	159
93	プレーナ・プロセスの完全性に関する理解	160
94	やる気と落ちこぼれ	161
95	相互に技術を提供しあう関係	162
96	留学生	163
97	学术论文と共著	164
98	創造性をなくした産業社会	165
99	生産の中の研究のむずかしさ	166
100	研究開発にプロジェクト制がとれないわが国	167
付録	ゲート1 段分の遅延を考慮した論理シミュレーションのプログラム	169

この文庫本は既刊の**エレクトロニクス文庫：超LSI時代の半導体技術**

100集〔I〕,〔II〕,〔III〕(庄野克房著)の続編になります。あわせてご

利用ください。

(オーム社)
