

目 次

訳者まえがき	i
まえがき	iii
1 序 章	
1.1 本書の目的	1
1.2 コンピュータの進歩	4
1.3 デジタルコンピュータの基本構成	7
1.4 命令の形式	9
1.5 ソフトウェア	13
2 小形コンピュータの構成とプログラミング	
2.1 序	17
2.2 数表現について	18
2.3 小形コンピュータ (SIC) の構成	19
2.4 SIC の命令語	21
2.5 プログラミング	26
2.6 アドレスの制御と間接アドレス	29
2.7 JMS 命令	33
2.8 アセンブリ言語	35
3 システムの構成要素	
3.1 序	40
3.2 ダイオードロジック	42
3.3 ダイオード・トランジスタロジック	45
3.4 論理回路における動作速度と遅延	48

目 次	vii
3.5	フリップフロップとレジスタメモリ (RM) 50
3.6	ランダムアクセスメモリ (RAM) 53
3.7	準ランダムアクセスメモリ (SRAM) 64
3.8	シーケンシャルメモリ (SM) 70
3.9	リードオンリメモリ (ROM) 74
3.10	要約と展望 77

4 設計の規約

4.1	序 81
4.2	レジスタ間転送 82
4.3	バス 89
4.4	システム間のバス 93
4.5	制御シーケンス 96
4.6	制御ユニットの電子回路による実現 102
4.7	条件付転送 106
4.8	フローチャート 111
4.9	設計の経済性 116

5 ハードウェア記述言語 (AHPL)

5.1	序 124
5.2	オペランド 126
5.3	APL と AHPL の演算子 129
5.4	APL プログラミング 134
5.5	組合せ論理に関する AHPL の規約 135
5.6	システムモジュール 140
5.7	AHPL 文 143
5.8	AHPL におけるメモリの取り扱い 147
5.9	非同期的サブシステム 153
5.10	タイミングの改善 156
5.11	結 論 159

6	装置の構成とハードウェア記述	
6.1	序	165
6.2	SICの基本構成	165
6.3	レジスタ間転送	167
6.4	命令の分類	169
6.5	AHPL制御プログラム	172
6.6	オペレート命令	179
6.7	データ転送の接続	185
6.8	装置構成の選択	190
6.9	アドレス制御の選択	193
6.10	多重レジスタ構成における変数の読出し	201
6.11	多重サイクル命令	206
7	ハードウェアの実現	
7.1	序	220
7.2	スタート、ストップ、リセット回路	221
7.3	多クロック期間にわたる動作	225
7.4	条件付転送とその接続	234
7.5	ハードウェアコンパイラ	240
7.6	伝播遅延とクロック速度	253
7.7	組合せ論理ユニットの記述	257
7.8	設計例	264
付録 A	AHPL構文の要約	272
付録 B	AHPL用ASC IIシンボル	276
付録 C	SIC制御シーケンス	278
索引		283

