

## Chapter 1 FPGA

1.1	FPGAとは	2
1.2	組み込みシステム	3
1.2.1	パソコンとの差が無くなった?	4
1.2.2	実装効率の問題	6
1.3	集積回路	9
1.3.1	いろいろな部品をまとめたもの	9
1.3.2	市販のICの例	10
1.3.3	本当に部品を集めて作れるのか?	12
1.3.4	ディスクリート部品で作れない理由	13
1.3.5	何故書き換えられるのか?	19
1.3.6	SRAM型FPGAの構造	20
1.3.7	設計がそのまま製造となる	26
1.3.8	実際の製品にも組込まれている	28

## Chapter 2 開発準備

2.1	開発に必要なもの	32
2.1.1	パソコンと開発ソフト	32
2.1.2	FPGA ボード	32
2.1.3	ダウンロードケーブル	33
2.2	FPGA ボード	35
2.2.1	Digilent社製 Basys2	35
2.3	ダウンロードケーブル	38
2.3.1	Xilinx社製 Platform USB (DLC9)/USB II (DLC10)	38
2.3.2	Digilent社製 XUP USB-JTAG	39
2.4	開発にあると便利なもの	40
2.4.1	論理回路シミュレータ	40

2.4.2	ロジック・アナライザ	41
2.4.3	オシロスコープ	43

2.5	ISE WebPACK	45
2.5.1	開発の全体像	47
2.5.2	プログラム構成と概要	49
2.5.3	インストール	55

## Chapter 3 回路図エディタによる設計

3.1	回路設計	68
3.1.1	スイッチとLEDを繋ぐ回路	68
3.1.2	新規プロジェクトの作成	71
3.1.3	回路図シートの作成	75
3.1.4	I/Oバッファの配置	77
3.1.5	各シンボルの内容について	79
3.1.6	配線	81
3.1.7	I/Oパッドの追加	83
3.1.8	タイトルやコメントの追加	88
3.1.9	エラーチェック (インプリメンテーション)	89
3.2	ピン・アサイン	91
3.2.1	UCFの作成	91
3.2.2	UCFの構文	94
3.3	論理合成とインプリメンテーション	99
3.3.1	インプリメンテーションの実行	100
3.3.2	ピンの確認	101
3.4	ダウンロード	102
3.4.1	BASYS2の場合	103
3.4.2	Xilinx社純正のダウンロードケーブルを使用する場合	105
3.4.3	iMPACTの起動	106
3.4.4	チェーンの初期化	107
3.4.5	ビットファイルの選択	108
3.4.6	ダウンロードの開始	110
3.4.7	実装結果	112

## Chapter 4 ハードウェア記述言語による設計

4.1	HDL	114
4.2	回路設計	116
4.2.1	新規プロジェクトの作成	117
4.2.2	HDLモジュールの作成とプロジェクトへの追加	121
4.2.3	作成されたHDLコード	126
4.2.4	回路の記述	129
4.3	論理合成～FPGAへのダウンロードまで	132
4.3.1	インプリメンテーションによるエラーチェック	132
4.3.2	ピン・アサイン(既存のUCFの適用方法)	133
4.3.3	ダウンロード	135

## Chapter 5 基本回路

5.1	論理素子	138
5.1.1	NOTゲート	139
5.1.2	ANDゲート	149
5.1.3	ORゲート	155
5.1.4	XORゲート	159
5.1.5	NANDゲート	160
5.1.6	NORゲート	161
5.1.7	XNORゲート	162
5.2	組み合わせ回路	163
5.2.1	全ての基本となるNANDゲート	163
5.2.2	HDLの3つの記述方法	168
5.2.3	マルチプレクサ	175
5.2.4	デコーダ(デマルチプレクサ)	178
5.2.5	比較器(コンパレータ)	182
5.2.6	大小比較器(マグニチュード・コンパレータ)	184
5.2.7	加算回路	187
5.2.8	減算回路	196
5.3	順序回路	212
5.3.1	RSフリップ・フロップ	212
5.3.2	Dフリップ・フロップ	219
5.3.3	クロック	232

5.3.4	トグル・フリップ・フロップ	233
5.3.5	クロック・イネーブル	237
5.3.6	セット/リセット	239
5.3.7	クロック・イネーブル/セット/リセット付きトグル・フリップ・フロップ	242
5.3.8	完全同期式回路	244
5.3.9	シフトレジスタ	251
5.3.10	カウンタ	254

## Chapter 6 論理シミュレータ (ISim)

6.1	シミュレーションの目的	262
6.2	シミュレーションする回路について	263
6.3	入力信号の設定	265
6.3.1	特定の値に固定する場合	265
6.3.2	周期信号にする場合	266
6.4	シミュレーションの実行	269
6.4.1	指定時間分の実行	269
6.4.2	バス信号に対する操作	272
6.4.3	波形の拡大/縮小	275
6.4.4	カーソル/マーカ操作	276

## Chapter 7 応用回路 I

7.1	LED点滅回路	284
7.1.1	N進カウンタ	285
7.1.2	外部同期機能の追加	310
7.2	スイッチ入力の回路	313
7.2.1	チャタリングとは?	313
7.2.2	外部アナログ・フィルタによるもの	316
7.2.3	RS-FFによるもの	318
7.2.4	D-FFによるもの	319
7.2.5	メタステーブル	321
7.2.6	複雑なチャタリング・ノイズへの対応	321
7.2.7	タイマを用いたマスクによるもの	325

7.3	非同期式回路から同期式回路への変換	326
7.3.1	微分回路	326
7.3.2	非同期式回路から同期式回路への変換例(スイッチを押した数を数える回路の例)	327
7.4	タイマ	338
7.4.1	タイマ回路	338
7.5	初回のパルス伝達を無効にする回路	355

## Chapter 8 シーケンサ

8.1	ループ・ゴールドバグ・マシン	360
8.2	トリガ	362
8.2.1	トリガ駆動型モジュール	364
8.2.2	トリガ駆動型モジュールの実例	366
8.3	最も簡単なシーケンサ	371
8.4	ステート・コントローラ	378
8.4.1	自己トリガによる繰り返し処理	378
8.4.2	繰り返しによる面積効率の向上	384
8.4.3	トリガ・パルス生成器によるステート表示と繰り返し回数制御	385
8.4.4	トリガ・パルス生成器	386
8.4.5	ステート・コントローラ	402

## Chapter 9 IP コア

9.1	IP コアとは	416
9.2	機能の切り分け	417
9.3	IP コアの作り方	425
9.3.1	回路図 IP コアの作成	425
9.3.2	回路図 IP コアの呼び出し	428
9.3.3	回路シンボルの編集	429
9.3.4	回路図 IP コアの使用	434
9.3.5	HDL の IP コアの作成と呼び出し	439
9.3.6	IP コア名や信号名のルール	448
9.3.7	ドキュメンテーション	448

9.4	ライブラリ化	450
9.4.1	HDL モジュールのライブラリ化に関する補足	459

## Chapter 10 応用回路 II

10.1	マイコン、専用 LSI との違い	470
10.1.1	マイコンの長所と短所	470
10.1.2	専用 LSI の長所と短所	470
10.1.3	FPGA の長所と短所	471
10.2	DC モータの PWM 制御	472
10.2.1	PWM 制御回路	474
10.2.2	動作テスト	479
10.2.3	モータの逆転	482
10.3	ステッピングモータの制御	491
10.3.1	2 相バイポーラ・ステッピングモータ・フルステップ制御回路	493
10.3.2	動作テスト	498
10.4	マイクロステップ制御	500
10.4.1	2 相バイポーラ・ステッピングモータ・マイクロステップ制御回路	501
10.4.2	動作テスト	518

## Chapter 11 スタンドアロン動作

11.1	スタンドアロン動作の方法	524
11.2	コンフィギュレーション・モードの詳細	525
11.3	コンフィギュレーション ROM ファイルの作成と書き込み	527
11.3.1	Xilinx 社製 PROM の場合	527
11.3.2	他社製 SPI-ROM の場合	537

## Chapter 12 フリーハードウェア

12.1	ハードとソフト	550
12.1.1	狭義のハードとソフト	550
12.1.2	広義のハードとソフト	550

<b>12.2</b>	<b>ハードウェアの仮想化</b> .....	<b>551</b>
12.2.1	現在のパソコンの構成 .....	551
12.2.2	パソコンの仮想化 .....	551
<b>12.3</b>	<b>フリーハードウェアの実現</b> .....	<b>552</b>
<b>12.4</b>	<b>オープンソース・ハードウェアとの関係</b> .....	<b>554</b>

## 補 章

<b>A.1</b>	<b>デジタルICの分類</b> .....	<b>558</b>
A.1.1	汎用プロセッサとMCU .....	559
A.1.2	メモリ .....	560
A.1.3	標準ロジックIC .....	560
A.1.4	ASSP .....	561
A.1.5	ASIC (ASCP) .....	561
<b>A.2</b>	<b>PLDの分類</b> .....	<b>562</b>
A.2.1	EEPROM型 .....	562
A.2.2	ヒューズ型/アンチヒューズ型 .....	563
A.2.3	SRAM型 .....	563
<b>A.3</b>	<b>回路図の基礎</b> .....	<b>564</b>
<b>A.4</b>	<b>デジタルとアナログ</b> .....	<b>567</b>
A.4.1	量子化と標本化 .....	567
<b>A.5</b>	<b>存在しない論理素子</b> .....	<b>572</b>
<b>A.6</b>	<b>2進数</b> .....	<b>573</b>
A.6.1	n進数 .....	574
<b>A.7</b>	<b>補数</b> .....	<b>578</b>
<b>A.8</b>	<b>オシロスコープ/ロジック・アナライザの読み方</b> .....	<b>579</b>
<b>A.9</b>	<b>CMOS</b> .....	<b>583</b>
A.9.1	FET .....	583
A.9.2	NチャンネルMOSFET .....	583
A.9.3	PチャンネルMOSFET .....	586
A.9.4	CMOSインバータ回路 .....	588
A.9.5	CMOS NAND回路 .....	589
<b>A.10</b>	<b>Xilinx FPGA List</b> .....	<b>592</b>
<b>索 引</b>	.....	<b>603</b>